

**PCBSOFT**  
PCB&IC SOFTWARE



## КАТАЛОГ ПРОГРАММНОГО ОБЕСПЕЧЕНИЯ

САПР печатных плат верхнего уровня  
**Cadence® Allegro®**

САПР печатных плат **Cadence® OrCAD®**

Система моделирования печатных  
плат **Cadence® Sigrity™**

*Единый перечень  
ПКИ (ВОМ)*

*Совместный дизайн  
платы и корпуса*

*Проектирование  
платы под  
управлением правил  
и ограничений*

*Совместная  
разработка  
ПЛИС/СБИС  
и топологии платы*

*Обеспечение  
электрических  
и тепловых  
характеристик*

*Симуляция  
аналоговых  
и цифровых цепей*

**Печатные платы iPhone разработаны в САПР Cadence Allegro**

# ОГЛАВЛЕНИЕ

PCB SOFT. поставка САПР печатных плат с 2011 года	<b>/ C 4</b>
Маршрут проектирования печатных плат Cadence Allegro / Sigrity	<b>/ C 6</b>
Почему разработчики выбирают Cadence Allegro	<b>/ C 8</b>
Конфигурация рабочих мест для проектирования ПП	<b>/ C 10</b>
Функционал базовой лицензии и дополнительных опций Cadence Allegro	<b>/ C 12</b>
Опция трассировки скоростных плат – High Speed Option	<b>/ C 15</b>
Опция оптимизации выводов ПЛИС – FPGA System Planner	<b>/ C 16</b>
Опция проектирования СВЧ-плат – Analog/RF Option	<b>/ C 17</b>
Новые возможности версии Cadence Allegro 17.2-2016	<b>/ C 18</b>
САПР печатных плат OrCAD (основан на технологиях Allegro)	<b>/ C 22</b>
Продукты OrCAD и Allegro	<b>/ C 24</b>
Набор функций OrCAD и Allegro	<b>/ C 26</b>
Система схемного моделирования OrCAD PSpice Designer	<b>/ C 30</b>
Анализ целостности сигналов OrCAD PCB SI	<b>/ C 31</b>
Мастер создания компонентов OrCAD Library Builder	<b>/ C 32</b>
Система управления данными Engineering Data Management (EDM)	<b>/ C 33</b>
Оформление КД по ГОСТ OrCAD Documentation Editor	<b>/ C 34</b>
Единая база компонентов Component Information Portal (CIP)	<b>/ C 35</b>
Технологические проверки OrCAD DFM Checker	<b>/ C 36</b>
Электрические проверки OrCAD Sigrity ERC	<b>/ C 37</b>
Набор утилит OrCAD PCB Productivity Toolbox	<b>/ C 38</b>
Оптимизация трассировки ПЛИС OrCAD FPGA System Planner	<b>/ C 39</b>
Sigrity. Электромагнитное и тепловое моделирование	<b>/ C 40</b>
Температурно-электрическая симуляция – Sigrity PowerDC	<b>/ C 42</b>
Целостность сигналов, питаний и ЭМС – Sigrity PowerSI	<b>/ C 44</b>
Оптимизация матрицы конденсаторов – Sigrity OptimizePI	<b>/ C 45</b>
Пред- и пост-топологический анализ – Sigrity SystemSI	<b>/ C 46</b>
Что нового в Sigrity-2017	<b>/ C 48</b>
Варианты лицензий и состав пакетов Sigrity	<b>/ C 49</b>
Спецпредложения на САПР Cadence в 2017 году	<b>/ C 50</b>
Варианты поставки	<b>/ C 52</b>

# PCB SOFT ПОСТАВКА САПР ПЕЧАТНЫХ ПЛАТ с 2011 года

Компания PCB SOFT является эксклюзивным официальным дистрибьютором Cadence Design Systems в России и Беларуси и поставляет систему автоматизированного проектирования печатных плат Allegro, OrCAD и систему электромагнитного 3D моделирования Sigrity.

В 2015 и 2016 годах Cadence Design Systems удостоила компанию PCB SOFT наградами за особые достижения в продаже САПР и поддержке пользователей.

## ВНЕДРЕНИЕ

Компания PCB SOFT обеспечивает полноценное внедрение сквозного маршрута проектирования, осуществляет интеграцию с другими САПР и PDM/PLM системами.

## ТРЕНИНГИ

Учебный класс PCB SOFT в Москве регулярно проводит тренинги инженеров-конструкторов по освоению методологии проектирования и моделирования сложных многослойных печатных плат в САПР печатных плат **Allegro** и **Sigrity**. Также возможно проведение выездных семинаров и обучение специалистов на базе предприятия-заказчика.







# МАРШРУТ ПРОЕКТИРОВАНИЯ ПЕЧАТНЫХ ПЛАТ CADENCE ALLEGRO / Sigrity

САПР Cadence Allegro является лидирующей в мире системой для проектирования сложных многослойных печатных плат.

Это обусловлено сочетанием трех факторов:

- Allegro позволяет проектировать печатные платы высочайшей сложности, с возможностью применения всех современных технологий
- Работа инженеров-конструкторов в Allegro крайне эффективна, а обеспечение правил по технологичности и целостности сигналов выстроено оптимально
- Сроки внедрения Allegro предельно коротки, обучение инженеров можно выполнить за считанные недели, что обеспечивает быстрый возврат инвестиций

## ПРЕИМУЩЕСТВА ДЛЯ ЗАКАЗЧИКОВ

Внедрение уникальных технологий Cadence повышает конкурентоспособность и эффективность российских предприятий на внутреннем и на мировом рынке.

При этом:

- Сроки разработки электроники сокращаются в 2-3 раза
- Затраты на разработку снижаются в 1.5-2 раза
- Количество ошибок при проектировании плат сокращается на 30-40%
- Снижается до 1-2 количество итераций, требуемых до запуска прибора в серию
- Сокращается на 20-30% число извещений об изменениях
- Существенно улучшается качество и внешний вид печатных плат
- Появляется возможность разработки инновационных продуктов на новом уровне
- Растет репутация предприятия в глазах зарубежных партнеров

## **СИСТЕМА МОДЕЛИРОВАНИЯ CADENCE Sigrity**

Система моделирования Sigrity – лучшее в своем классе решение для моделирования целостности сигналов с учетом питаний и ЭМС.

- Инструменты симуляции целостности питаний Sigrity содержат все необходимое для анализа как по постоянному, так и по переменному току, в том числе в 3D.
- Программное обеспечение для теплового анализа учитывает все необходимые факторы для точного расчета по теплу.
- Удобный интерфейс и мощный инструментарий позволяют разработчику оперативно выбрать номиналы и расположение конденсаторов, оптимизировать конфигурацию полигонов, подобрать параметры радиаторов.

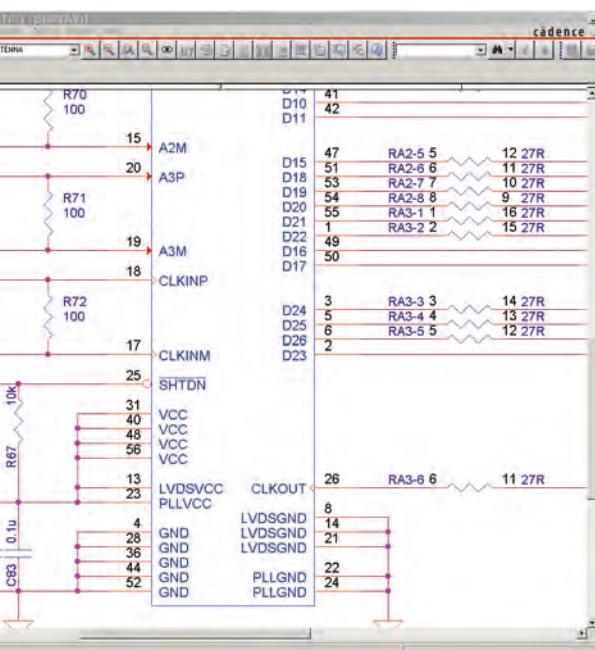
Sigrity позволяет разработчикам еще до производства образцов обеспечить и подтвердить работоспособность вашего прибора в заданных условиях.

## **Пользователи САПР печатных плат CADENCE ALLEGRO**

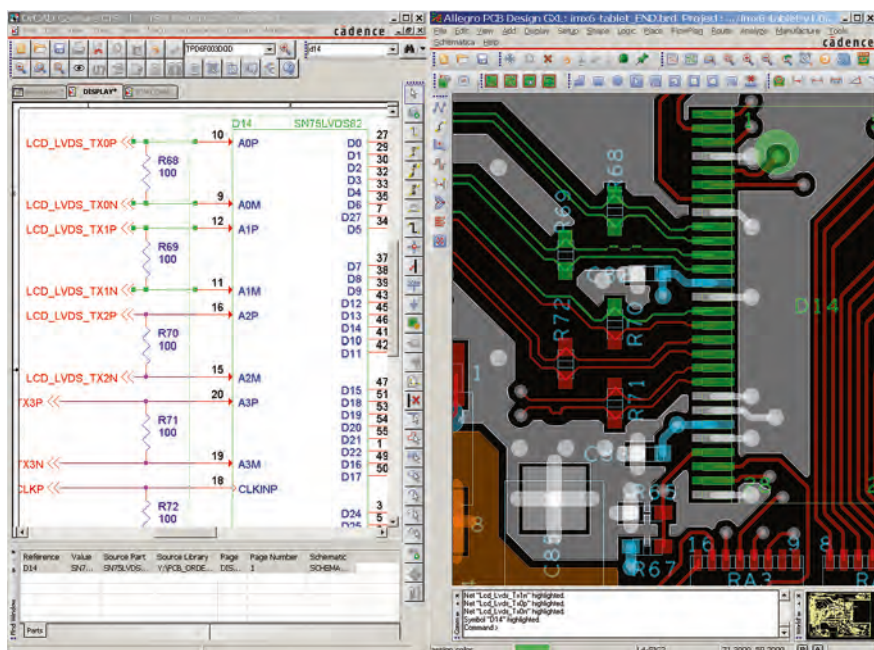
Маршрут проектирования на базе программного обеспечения Cadence освоили и успешно используют ведущие предприятия российской радиоэлектронной, военной и аэрокосмической отраслей и многие другие государственные и частные предприятия.

Масштабируемость САПР от недорогого OrCAD до продвинутых плавающих опций Allegro позволяет предприятиям получить оптимальную среднюю стоимость рабочего места и максимальную отдачу. Пред- и пост-топологическое моделирование в Sigrity позволяет в разы сократить время и стоимость разработки и изготовления опытных образцов, сделав изделие более технологичным и инновационным.

# ПОЧЕМУ РАЗРАБОТЧИКИ ВЫБИРАЮТ CADENCE ALLEGRO



Удобный интерфейс редактора схем



Интерактивная связь между редакторами схем и печатных плат

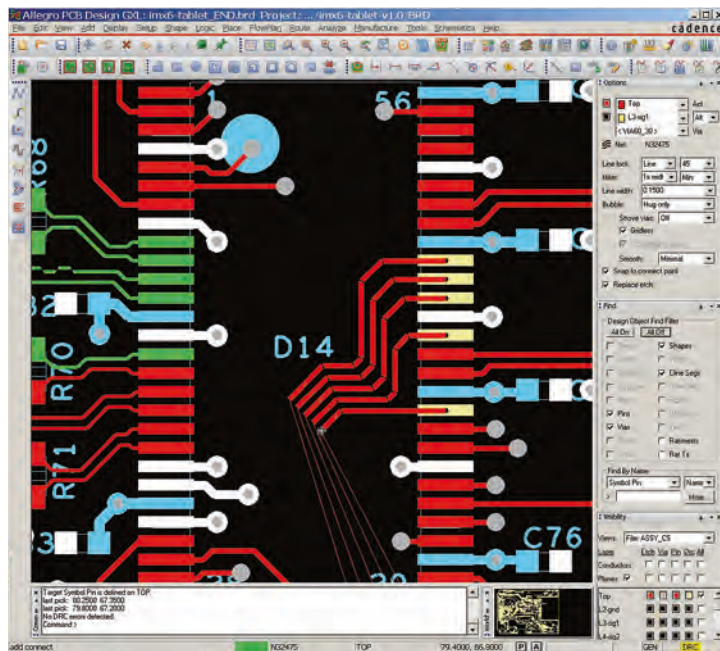
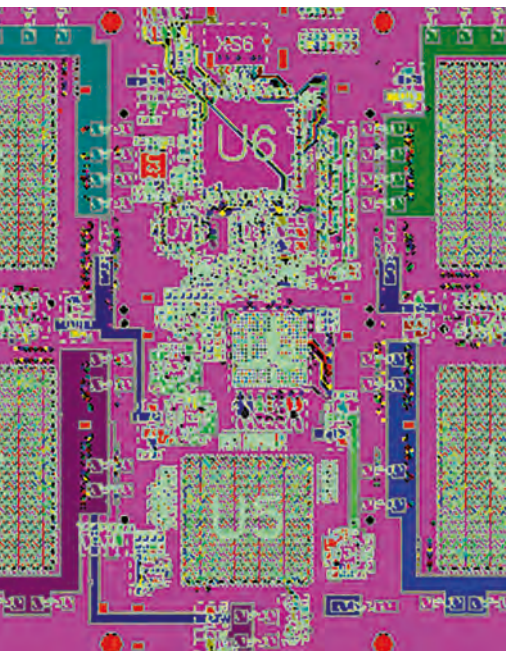
Схемный редактор, совместимый с OrCAD, и возможность качественного импорта схем, плат и библиотек из P-CAD, вкупе с простым и **дружественным интерфейсом**, делают Cadence Allegro наилучшим вариантом для постепенного «бесшовного» перехода на новые технологии. Встроенные в Allegro отчеты дают возможность вывода КД по ЕСКД прямо из САПР.

Удобная связь между схемным редактором и редактором печатных плат позволяет вам «перетащить» компонент со схемы на плату при размещении, выделить компонент на схеме и увидеть его на плате, выделить вывод или цепь на плате и увидеть его на схеме. Функционал **единой библиотеки компонентов предприятия** снижает число ошибок, связанных с человеческим фактором.

Вы можете воспользоваться **широчайшим набором библиотечных компонентов** не только из стандартной поставки, но и из таких Интернет-порталов, как DigiKey, Mouser, Arrow, RS Components. Полученные компоненты можно установить на схему непосредственно из Интернета, а затем можно скорректировать их и сохранить в единую библиотеку ЭРИ предприятия.

Мощный функционал ручной трассировки позволяет вам мгновенно прокладывать одиночные сигналы, дифф.пары, шины и просто сгруппированные наборы связей. Система **выравнивания длин** сигналов эффективно обеспечивает все современные требования к трассировке скоростных интерфейсов типа PCIe, Ethernet, HDMI, DDR (Т-соединения, Fly-Bu) и др.





Быстрая прокладка шин на плате

3-D выюер, встроенный в редактор ПП

**Полная интеграция** с библиотеками компонентов предприятия, PDM-системами (SolidWorks EPDM, Windchill, TeamCenter и др.), с механическими САПР (Компас 3D, SolidWorks, Creo и др.), возможность импорта и экспорта STEP-моделей компонентов, корпуса и печатного узла делают Cadence Allegro идеальным решением для крупных предприятий – разработчиков сложной электроники.

Компания PCB SOFT предлагает также воспользоваться онлайн-библиотекой Ultra Librarian, содержащей 8 млн верифицированных УГО, футпринтов и 3D-моделей. Подписка оформляется на год, после чего регулярно продлевается.

# КОНФИГУРАЦИЯ РАБОЧИХ МЕСТ ДЛЯ ПРОЕКТИРОВАНИЯ ПП

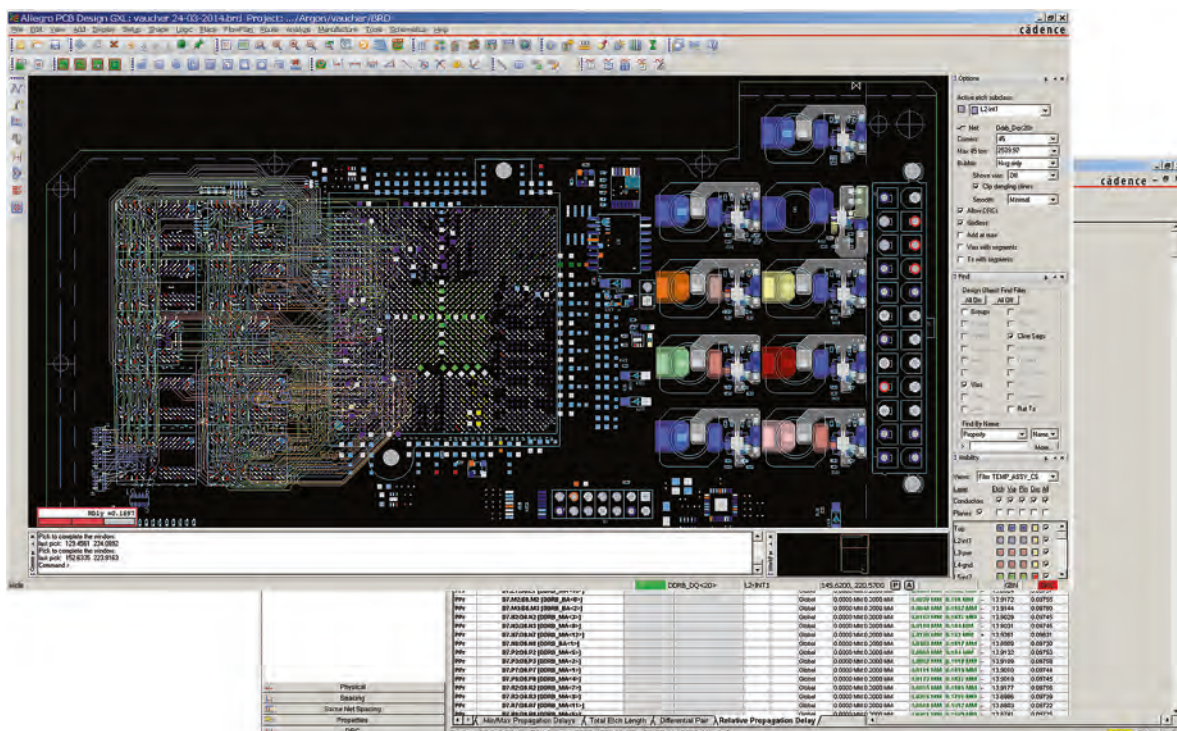
САПР **Cadence Allegro** поставляется в виде базовой лицензии и набора дополнительных опций, которые являются «надстройкой» над базовой лицензией и обеспечивают более мощный специализированный функционал для различных специализированных применений.

Все лицензии и опции являются плавающими, не привязанными к конкретному рабочему месту, поэтому их могут использовать на конкурентной основе разные сотрудники и отделы предприятия. Для этого в локальной сети предприятия организуется сервер лицензий, в задачи которого входит управление лицензиями.

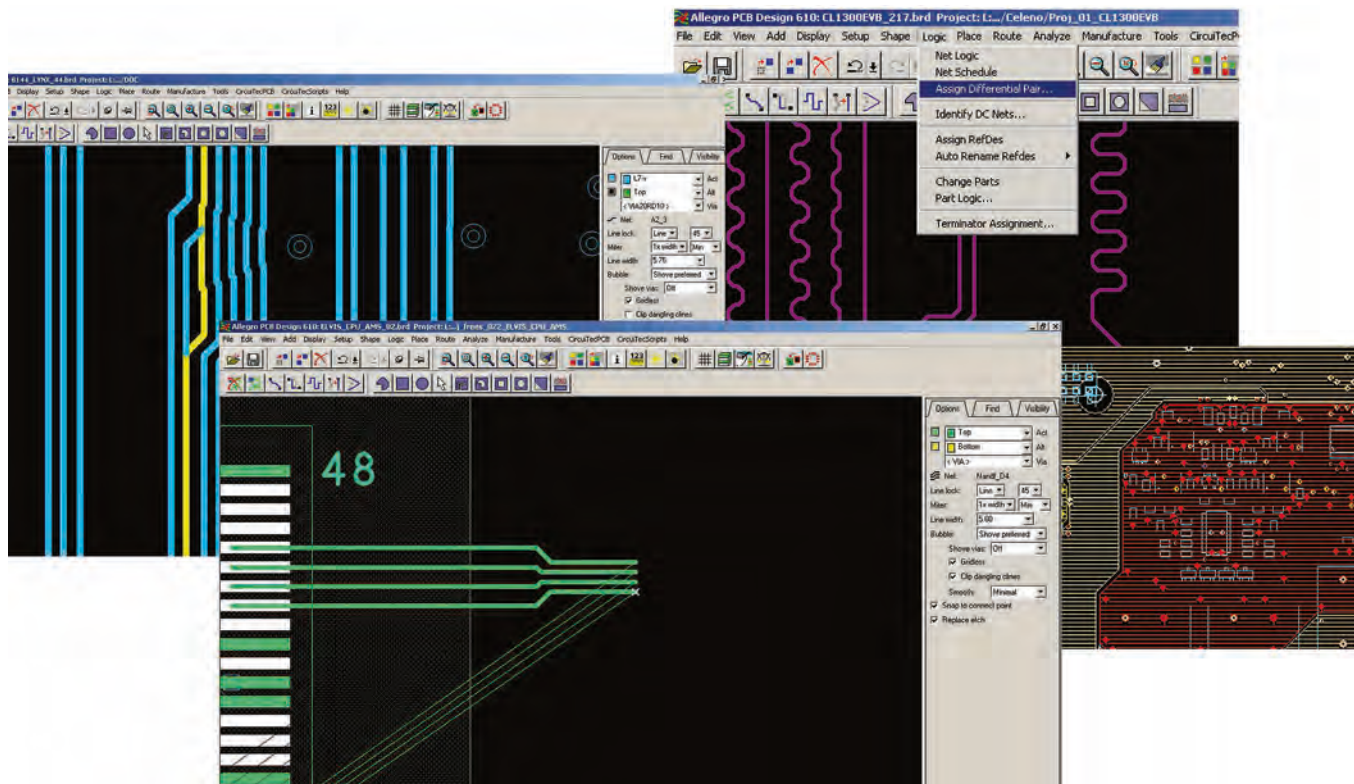
**Базовая лицензия** Cadence Allegro предназначена для разработки печатных плат высокой сложности, с учетом современных требований по технологичности и целостности сигналов. В нее входят следующие функциональные модули:

- Схемные редакторы Design Capture и Design Authoring
- Редактор условно-графических обозначений и менеджер библиотек
- Редактор печатных плат (PCB Designer)
- Редактор посадочных мест компонентов и падстечков, менеджер библиотек
- Система управления ограничениями и правилами (Constraint Manager)
- Система управления библиотекой компонентов (Component Information System)
- Автотрассировщик Spectra на 6 сигнальных слоев
- Система анализа целостности сигналов SigXplorer

*Фирма Cadence предлагает широкий спектр ПО для проектирования плат*







## Опции CADENCE ALLEGRO

**Опция High Speed** для работы с высокоскоростными платами. Она добавляет:

- Интерактивно-автоматическое выравнивание длин сигналов (DDR, PCIe и др.)
- Трассировка высокоскоростных цепей - под углом к стекловолкну, с выступами, с переходными отверстиями для возвратных токов, и др.

**Опция Miniaturization** для работы с платами высокой плотности:

- Поддержка наборов микроотверстий, правила для плат HDI
- Операции для трассировки гибких плат и др.

**Опция Analog/RF** для проектирования аналоговых и СВЧ плат:

- Библиотека параметризованных топологических СВЧ-элементов
- Интеграция с пакетами СВЧ-моделирования (ADS) и др.

**Опция Team Design** для командной работы над сложными проектами:

- Разбиение проекта между разработчиками на зоны или наборы слоев
- Возможность одновременного группового редактирования платы

**Опция Design Planning** для автоматизации трассировки сложных плат:

- Построение плана трассировки и выборочная авто-трассировка по плану

**Опция FPGA System Planner** для повышения эффективности работы с ПЛИС:

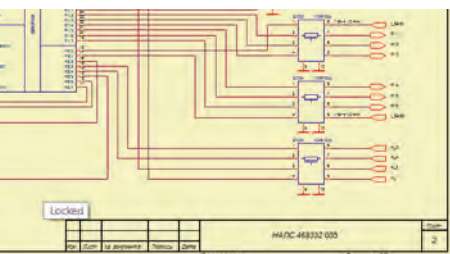
- Оптимизация подключения выводов ПЛИС и упрощение трассировки

**Опция PCB Routing** для продвинутой трассировки сложных плат.

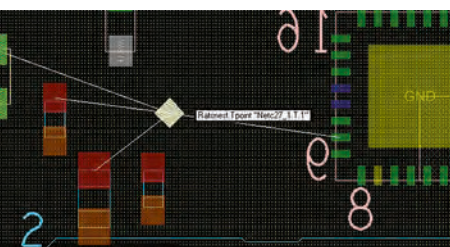
- Увеличение числа трассировочных слоев до 256, более мощный набор правил.

# ФУНКЦИОНАЛ БАЗОВОЙ ЛИЦЕНЗИИ И ДОПОЛНИТЕЛЬНЫХ ОПЦИЙ CADENCE ALLEGRO

## ФУНКЦИОНАЛ БАЗОВОЙ ЛИЦЕНЗИИ CADENCE ALLEGRO



Оформление схем в соответствии с ЕСКД



Возможность задать порядок трассировки выводов в цепи и выравнять «плечи» цепи позволяет трассировать скоростные интерфейсы

### Схемный редактор Design Capture

Совместимость с распространенным редактором OrCAD
Возможность импорта схем из PCAD, Altium
Возможность вывода документации по ЕСКД
Огромная библиотека стандартных символов (более 44000)
Он-лайн библиотека компонентов (более 2 миллионов)
Он-лайн магазин приложений, IBIS-моделей и библиотек
Просмотр посадочного места компонента в 3D
Печать схем в интеллектуальный PDF с удобной навигацией
Задание и одновременная прокладка групп сигналов
Одновременное подключение шин
Задание «комнат» для дальнейшей трассировки
Автоматизированная прокладка связей на схеме
Мощный язык скриптом Tcl/Tk для написания подпрограмм
Он-лайн проверка DRC, включая пользовательские правила
Обратное и прямое аннотирование (обмен выводов или элементов)
Перекрестная связь с редактором печатных плат
Импорт и экспорт таблиц выводов ПЛИС
Управление «вариантами исполнения»
Удобный механизм визуальной проверки многостраничных схем

### Система управления библиотекой (Component Information System)

Встроенная в схемный редактор база данных компонентов
Функционал единой базы компонентов предприятия
Интеграция с PDM-системами: SolidWorks EPDM, Windchill, T-Flex, Search и т.д.
Интерфейс к реляционным базам ЭРИ (SQL, MS Access, Excel)
Возможность параметрического поиска нужных компонентов
Управление «применимостью» ЭРИ, контроль доступа к базе
Возможность подключения 3D-моделей и datasheet на ЭРИ
Поиск ЭРИ в каталогах DigiKey, Mouser и др. из редактора схем

### Редактор условно-графических обозначений символов (УГО)

Возможность извлечь из схемы и откорректировать символ
Возможность создания УГО из таблицы Excel или datasheet



### Редактор посадочных мест компонентов

Удобный и мощный «мастер» создания компонентов

Возможность создания площадок произвольной формы

Утилита авто-создания компонентов по IPC-7351

### Редактор печатных плат (PCB Designer), базовая лицензия

Импорт из PCAD, Altium и других САПР

Импорт конструктива ПП из DXF, IDF или STEP

Редактор стека слоев, калькулятор импеданса

Полупрозрачное отображение слоев

Индикация имени цепи на проводнике, полигоне и выводе

Возможность работы с платой в «зеркальном» отображении

Размещение групп компонентов выбором прямо из схемы

Авто-выравнивание групп компонентов

Полная поддержка трассировки дифференциальных пар

Автоматическое создание «Fan-out»

Автоматическая «доводка» связей

Авто-подрезка, расталкивание, перескок при трассировке

Удобная подсистема прорисовки плана трассировки

Автоматическое создание и авто-выравнивание маркировки

Быстрый экспорт гербер-файлов, DXF и ODB++

Импорт 3D моделей компонентов STEP и IDF

Трассировка группами сигналов

Трассировка T-разветвлений и Fly-Vu для DDR

Полуавтоматическое выравнивание длин сигналов DDR и др.

Авто-мультиплицирование фрагментов трассировки

Динамические полигоны с авто-обновлением

«Капельки» на площадках с обеспечением DRC

Авто-размещение массивов переходных отверстий

Создание проектов и спецификаций с «вариантами исполнения»

### Система управления ограничениями и правилами DRC (Constraint Manager)

Физические ограничения DRC (проводники, зазоры, ограничения по длине и др.)

Он-лайн проверки DRC, обеспечение выполнения правил

Возможность подсветки нарушений DRC

Возможность задания правил и ограничений в регионах

Правила проектирования «для производства» (DFM, DFA)

Проверка DRC по высоте компонентов, радиаторов и корпуса

Возможность задать мин. и макс. длину цепи

Ограничение макс. количества переходных отверстий цепи

Продвинутые проверки DRC, такие как «оголенная медь» итд.

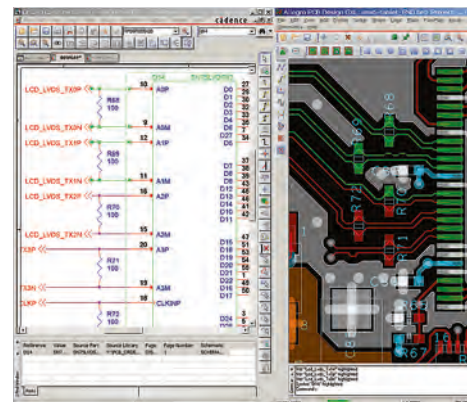
### Автотрассировщик Specetra

Трассировка одновременно в 6 слоях МПП

Полный учет заданных правил и ограничений DRC

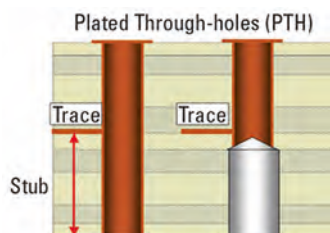


Индикация имени цепи на трассах, выводах и полигонах повышает скорость работы

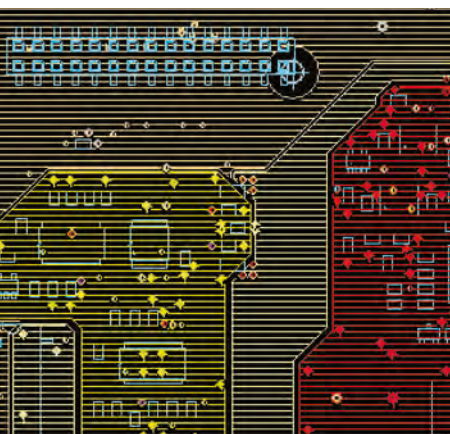


Интерактивная связь между редакторами схем и печатных плат

## ФУНКЦИОНАЛ ДОПОЛНИТЕЛЬНЫХ ОПЦИЙ САПР CADENCE ALLEGRO



Поддержка современных технологий, таких как BackDrilling, дает разработчику уникальный инструмент для эффективного и качественного выполнения любых проектов



Уникальная по удобству работа с полигонами

### Опция High Speed для трассировки высокоскоростных плат

Электрические правила и ограничения (ECSet – отражения, задержки, перекрестные помехи)
Учет задержек в переходных отверстиях (в 17.2 перенесено в Base)
Учет разбега задержек внутри микросхем (в 17.2 перенесено в Base)
Динамическое выравнивание фазы дифф.пары (в 17.2 перенесено в Base)
Полуавтоматическое выравнивание длины шин DDR
Авто-размещение групп отверстий вдоль трасс
Авто-расталкивание параллельных трасс
Авто-контроль прорезей в полигонах для возвратных токов
Обратная сверловка (в 17.2 перенесено в Base)

### Опция Miniaturization для плат высокой плотности

Встроенные компоненты в слоях
Наборы микроотверстий

### Опция Analog/RF для СВЧ плат и аналоговых плат

Продвинутая система установки массивов отверстий
Обширная библиотека СВЧ-элементов топологии

### Опция Team Design для командной работы над проектом

Разделение печатной платы на зоны по слоям
Разделение печатной платы на зоны по областям
Групповая трассировка печатной платы
Удобная панель управления проектом
Мягкие границы между зонами
Управление классами цепей в зонах

### Опция Design Planning для авто-интерактивной трассировки

Возможность анализа осуществимости трассировки
Прорисовка топологического плана трассировки
Авто-генерация топологии проводников по плану

### Опция FPGA System Planner для трассировки ПЛИС

Учет логических, электрических и физических ограничений
Авто-подбор и оптимальный обмен выводов ПЛИС
Авто-генерация символов УГО для ПЛИС
Минимизация пересечений сигналов при трассировке

### Опция PCB Routing для продвинутой трассировки

Увеличение числа одновременно доступных слоев до 256
Дополнительные правила для трассировки плат HDI
Продвинутые возможности (встроенные компоненты и др.)

# ОПЦИЯ ТРАССИРОВКИ СКОРОСТНЫХ ПЛАТ – *High Speed Option*

Опция Allegro High Speed Option содержит все необходимые дополнительные функции для трассировки высокоскоростных цифровых печатных плат.

Для проектов с частотами сигналов выше 300 МГц (содержащих интерфейсы PCI Express, DDR2/3/4, GHz Ethernet, GTX и др.) крайне важно учитывать все факторы, влияющие на качество сигнала на печатной плате. Конструктору печатной платы нужен инструмент, который не только позволит эффективно выравнять длины групп сигналов на плате, но и:

- использовать формулы для задания правил выравнивания по длине
- динамически выравнивать фазу сигнала по всей цепи для снижения искажений
- учитывать задержку распространения по оси Z в переходных отверстиях, повышая точность выравнивания
- учитывать разные задержки сигналов внутри микросхем
- обнаруживать некорректное прохождение сигнала над вырезами в полигоне
- распределять трассы по плате для снижения *crosstalk*

**Автоматическое выравнивание задержек.** Allegro теперь более быстро и качественно автоматически выполняет выравнивание задержек. Эта функция чрезвычайно полезна, т.к. количество линий на печатной плате, требующих выравнивания длины, растет и может уже составлять на типовой многослойной плате от нескольких десятков до нескольких сотен штук. Редактор автоматически выравнивает длину выбранных интерактивно трасс в соответствии с заданными правилами.

**Смещенная трассировка.** Это весьма актуальная функция для сигналов частотой выше 2 ГГц. Это позволяет за счет трассировки под неортогональным углом усреднить влияние структуры диэлектрика на качество сигнала.

**Динамический контроль фазы сигнала.** Allegro позволяет динамически выравнивать фазу сигнала по всей длине цепи, что крайне важно для снижения искажений. Причем редактор позволяет выделить именно тот фрагмент трассы, на котором произошло рассогласование фазы, и выравнивать фазу локально.

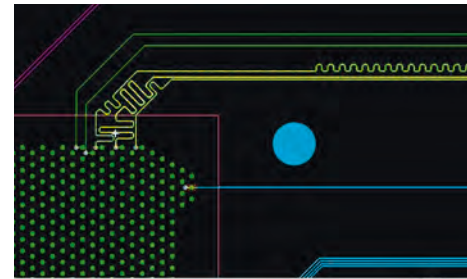
**Учет задержки распространения в переходных отверстиях.** Редактор учитывает задержку распространения по оси Z, в переходных отверстиях, повышая точность выравнивания задержки распространения сигналов.

**Учет разной задержки сигналов внутри микросхем.** САПР учитывает разные задержки сигналов внутри микросхемы, повышая точность выравнивания длин. Задержки внутри микросхемы могут быть заданы в табличном виде или импортированы из текстового файла.

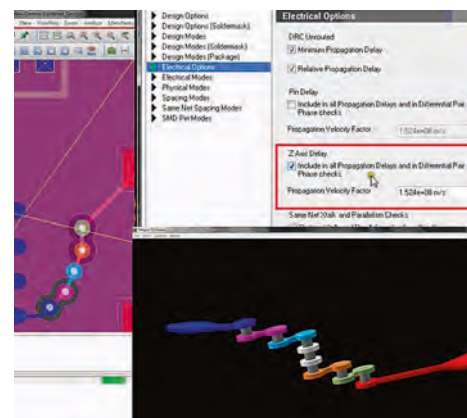
**Поиск вырезов в полигонах.** САПР обнаруживает некорректное прохождение сигнала над вырезами в полигоне (что может служить причиной искажений сигнала).

**Равномерное распределение трасс.** Allegro может автоматически распределять сегменты трасс равномерно, чтобы уменьшить перекрестные помехи от «соседей».

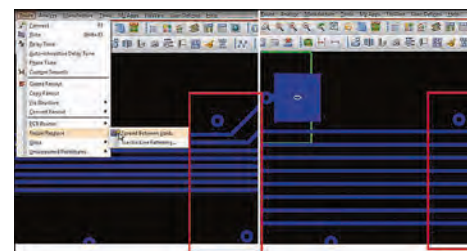
**Обратная сверловка.** САПР поддерживает технологию обратной сверловки для улучшения качества скоростных сигналов.



*Полуавтоматическое выравнивание шин DDR существенно ускоряет работу*

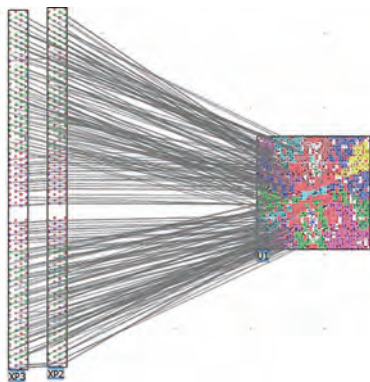


*Учет задержек в переходных отверстиях повышает точность выравнивания сигналов*



*Автоматическое распределение трасс снижает перекрестные помехи*

# ОПЦИЯ ОПТИМИЗАЦИИ ВЫВОДОВ ПЛИС – *FPGA SYSTEM PLANNER*



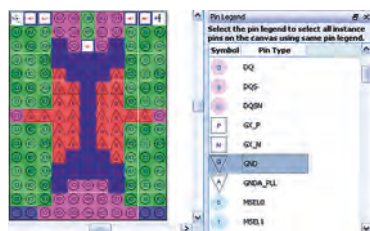
Подсистема планирования трассировки ПЛИС позволяет конструктору существенно сократить сроки разработки

Планировщик ПЛИС автоматизирует все сложные процессы и значительно упрощает и ускоряет разработку печатных плат.

Конструирование печатной платы на ПЛИС, имеющих более 2000 контактов ввода-вывода, для выполнения вручную является слишком сложным. Для завершения проекта на ПЛИС требуется постоянное общение между разработчиками логики, разработчиками системы и разработчиками платы. В целом, это общение является рутинным и даже избыточным. И именно ПЛИС, вследствие огромного числа многомерных правил ввода-вывода, делают процесс общения таким сложным. Эти проблемы могут быть решены за счет применения планировщика ПЛИС, автоматизирующего все эти сложные процессы. В результате, разработка печатных плат для ПЛИС значительно упрощается и ускоряется.

Планировщик ПЛИС полностью автоматизирует процессы связывания контактов ПЛИС с другими компонентами, генерации схем и разводки межсоединений, при этом для всех этих процессов соблюдаются следующие ограничения:

- Логические ограничения – разводка контактов должна удовлетворять требованиям протокола соответствующего интерфейса. Например, для шин, синхронных с источником, для успешного захвата данных требуется, чтобы и данные, и соответствующие сигналы синхронизации были правильно выведены на контакты.
- Электрические ограничения связаны с DRC ввода-вывода ПЛИС. ПЛИС имеют сложную структуру банков и детализированный набор соответствующих правил. Для того, чтобы банк стало возможно использовать для интерфейса, должны быть заданы стандартные электрические сигналы этого интерфейса.
- Физические ограничения, связанные с расположением на плате различных устройств. Контакты должны быть выбраны так, чтобы свести к минимуму пересечения проводников и число слоев, требуемых для разводки платы.



В ПЛИС задаются группы эквивалентных выводов и банков

## Функционал опции *FPGA System Planner*

Учет логических, электрических и физических ограничений

Авто-подбор и оптимальный обмен выводов ПЛИС

Авто-генерация символов УГО для ПЛИС

Минимизация пересечений сигналов при трассировке

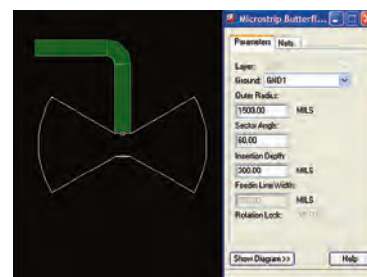


# ОПЦИЯ ПРОЕКТИРОВАНИЯ СВЧ-ПЛАТ – ANALOG/RF OPTION

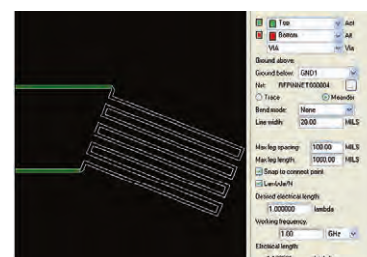
Опция Analog/RF предоставляет мощный и гибкий набор инструментов для ручного и автоматического размещения, трассировки, и редактирования СВЧ-топологии на печатных платах, как дополнение, встраиваемое в стандартный редактор Allegro PCB Editor.

Так как опция Analog/RF поддерживает параметризованные топологические СВЧ-элементы, она предоставляет очень простой механизм для создания, размещения и соединения СВЧ-элементов на плате. Она позволяет легко трассировать полосковые и микрополосковые линии с различными вариантами поворотов, такими как «оптимально скошенный» СВЧ-поворот, скругленный или прямоугольный поворот. Также она позволяет напрямую соединить две точки СВЧ-трассой или меандром. Другие функции для трассировки СВЧ-плат включают:

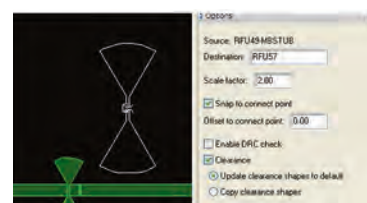
- Перемещение, поворот, отражение, копирование выбранных СВЧ-компонентов или групп объектов (полигоны, линии, топологические элементы, переходные отверстия)
- Групповое копирование, отражение, вращение СВЧ-компонентов или наборов
- Перенос СВЧ-компонентов или их групп со слоя на слой
- Изменение СВЧ-параметров объектов и автоматическая регенерация их формы в соответствии с новыми параметрами
- Вставка библиотечных СВЧ-компонентов во время трассировки
- Электрические вычисления и индикация параметров СВЧ-трассы
- Создание собственных топологических СВЧ-элементов
- Конвертация СВЧ-элементов в полигоны
- Конвертация трасс редактора Allegro (проводников) в полосковые линии передачи
- Срезание фаски на углах СВЧ-трасс
- Индикация и модификация значений переменных и выражений
- Быстрое размножение СВЧ-фрагментов, включая зеркальное отражение для симметричных/балансных цепей



Вставка RF-элемента при трассировке



Соединение с заданной электрической длиной



Копирование RF-элементов с масштабным множителем

# НОВЫЕ ВОЗМОЖНОСТИ ВЕРСИИ CADENCE ALLEGRO 17.2-2016

В мае 2016 года вышла новая версия САПР OrCAD/Allegro – 17.2. С выходом этой версии разработчики получили еще более мощный и эффективный инструмент для проектирования сложнейших печатных плат.

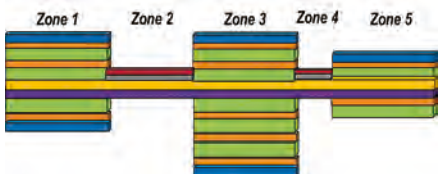



Улучшен графический интерфейс, существенно повысилась скорость выполнения основных операций, добавлено много новых важных функций, связанных с проектированием гибко-жестких плат, командной работой, разработкой высокоскоростных плат, вопросов интеграции с САПР анализа целостности сигналов и 3D-моделирования.

## Среди новых возможностей САПР Allegro 17.2:

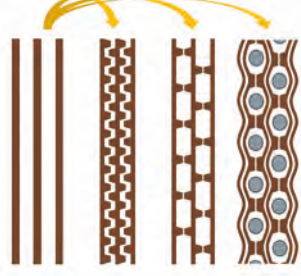
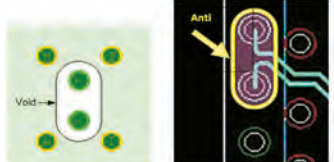
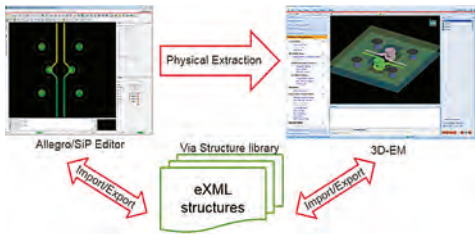
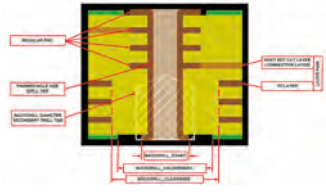
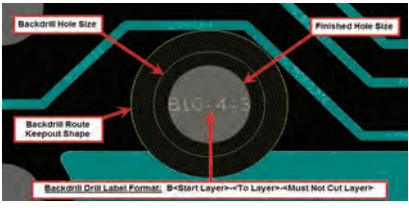
Полноценная работа с дугами упрощает трассировку и коррекции дизайна

- 12 новых подклассов
- 19 новых вариантов покрытий
- Не требуются визуальные проверки проекта
- Снижается риск ошибок в изготовленных образцах плат

## УНИКАЛЬНЫЕ ФУНКЦИИ ДЛЯ РАЗРАБОТКИ ГИБКО-ЖЕСТКИХ ПЛАТ

	Стек слоев по зонам
	Пример гибко-жесткой платы (фото Sierra Circuits)
	Правила DRC между слоями ГЖПП сокращают время на ручные проверки
	Полноценная работа с дугами упрощает трассировку и коррекции дизайна

## НОВШЕСТВА В РАБОТЕ СО СКОРОСТНЫМИ ПЛАТАМИ

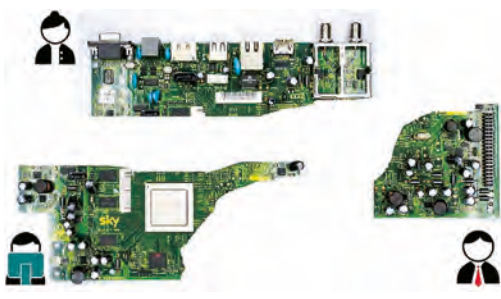
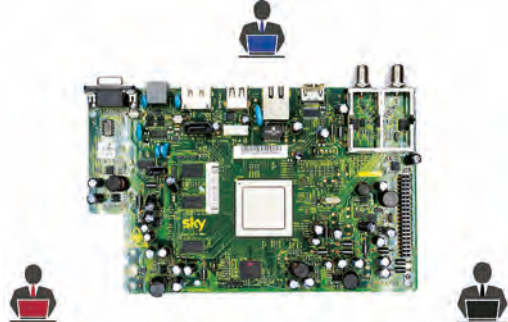
 <p>Conventional Routing    Interdigital Tabs    Facing Tabs    Pin Field Tabs</p>	<p>Трассировка с добавлением табулированных выступов для снижения перекрестных помех</p>
	<p>Специальные структуры переходных отверстий с возвратными отверстиями</p>
	<p>Интеграция САПР с системой моделирования Sigrity</p>
	<p>Правила для обратной сверловки в скоростных платах</p>
	<p>Зоны обратной сверловки и отступов четко идентифицируются специальными метками.</p>

## НОВАЯ ОПЦИЯ КОМАНДНОЙ РАБОТЫ

Не требуется настройки проекта

- первый разработчик открывает проект, остальные подсоединяются к его компьютеру
- до 5 разработчиков в пределах одной сети
- сокращение времени трассировки до 80% для сложных проектов
- разработчики внутри отдела могут оптимизировать совместную работу, занимаясь большим количеством проектов одновременно и устраняя паузы в работе.

Сокращение общего времени разработки до 48% (при совместной работе 5 инженеров)

	
<p><b>Было:</b> асинхронное командное проектирование с разделением проекта на части</p>	<p><b>Стало:</b> синхронная командная работа над одним проектом в сети</p>

## ИНТЕГРАЦИЯ САПР И СИСТЕМЫ АНАЛИЗА ЦЕЛОСТНОСТИ ПИТАНИЙ

	<p><b>Было:</b> раздельное проектирование в САПР и верификация в системе моделирования – проблемы с настройкой, конвертацией, внесением изменений</p>
	<p><b>Стало:</b> совместная настройка САПР и системы моделирования целостности питания, совместный дизайн и верификация проекта.</p>



## НОВАЯ РЕАЛИЗАЦИЯ РЕДАКТОРА 3D (QIR3)

	<b>Было</b>
	<b>Стало:</b> <ul style="list-style-type: none"><li>• Улучшенная 3D-визуализация</li><li>• Связь между 2D и 3D редакторами</li><li>• Обнаружение коллизий в 3D</li><li>• Устраняет необходимость постоянного обмена с механическим 3D САПР</li></ul>

## ВАЖНЫЕ ИЗМЕНЕНИЯ В ORCAD/ALLEGRO

- Поддержка 64-битных ОС.
- Поддержка почти неограниченного объема оперативной памяти
- Допустимый размер файла проекта – до 3 Гб.
- Полное использование мощности многоядерных ЦПУ
- Новый удобный редактор структуры слоев: поддержка многочисленных неэлектрических слоев
- Новый расширенный редактор площадок: поддержка всевозможных форм выводов
- Добавлен импорт схем и печатных плат из Altium

## ПЕРЕНОС ФУНКЦИЙ ИЗ СТАРШИХ ЛИЦЕНЗИЙ В МЛАДШИЕ

### Перенесено из Allegro High Speed в Allegro PCB Designer Base:

- Dynamic Differential Pair Phase control
- Pin Delay
- Z-axis delay
- Backdrill

### Перенесено из Allegro в OrCAD PCB Designer Professional:

- Vias via Line Fattening (HDI),
- Display Segments Over Voids,
- Layer Set Based Routing,
- Diff Pair Routing and DRC,
- Full Xnet Support,
- Gloss Commands,
- Contour Routing,

# САПР ПЕЧАТНЫХ ПЛАТ ORCAD (ОСНОВАН НА ТЕХНОЛОГИЯХ ALLEGRO)

САПР печатных плат OrCAD является оптимальным по стоимости подмножеством Allegro с урезанным набором функций и невозможностью подключения продвинутых опций Allegro. Если вы на начальном этапе приобрели рабочие места OrCAD, в дальнейшем вы имеете возможность приобрести апгрейд до Allegro либо просто докупить дополнительные рабочие места Allegro. По интерфейсу и формату файлов OrCAD и Allegro полностью совместимы.

Решение OrCAD Standard приобретается обычно небольшими коммерческими компаниями, где всего два-три инженера занимаются трассировкой и проекты имеют невысокую сложность. Для более сложных печатных плат с дифференциальными парами, скоростными сигналами и необходимостью выравнивания длины сигналов приобретается одна или несколько лицензий OrCAD Professional. В случае, если предприятие работает со скоростями, существенно превышающими 1 Гбит/с, обычно приобретается одна или несколько базовых лицензий Allegro PCB Designer, а также одна или несколько лицензий High Speed Option, Team Design Option и т.д, позволяющих еще сильнее поднять качество и эффективность разработки сложных проектов.

## ОПТИМИЗИРОВАННОЕ МЕНЮ

По мере реализации новых возможностей к современным САПР печатных плат, в меню добавляется все больше новых пунктов. Но расположены ли эти пункты в оптимальных местах? Являются ли они интуитивно понятными и легко ли их найти? В новом релизе меню оптимизировано, основываясь на обратной связи от пользователей, что помогает сделать ваш процесс проектирования более эффективным.



Сдвиг сегмента границы контура полигона. Сегмент выделяется двумя кликами мыши

## РЕЖИМ РЕДАКТИРОВАНИЯ ПОЛИГОНОВ

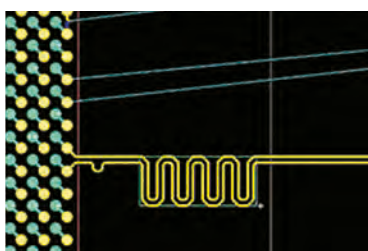
В OrCAD добавлен режим Shape Edit, который специальным образом настраивает среду проектирования, чтобы повысить эффективность и удобство редактирования границ полигонов. С этим новым функционалом вы можете легко выполнять такие действия, как:

- плавный сдвиг границы полигона
- добавление узла к контуру полигона
- групповое изменение углов контура полигоны

## ПРАВИЛА ДЛЯ СКОРОСТНЫХ ЦЕПЕЙ

Новые правила, ограничения и возможности трассировки помогают вам проектировать высокоскоростные платы:

- **Relative Propagation Delay:** Задаёт требования по задержкам в согласованных группах цепей
- **Static Phase Control:** Управляет выравниванием длины между двумя цепями в дифференциальной паре
- **Delay Tune:** Интерактивно добавляет или убирает требуемую длину к выбранной трассе
- **Heads-up Displays:** В онлайн-режиме отображает выполнение заданных правил и ограничений при редактировании скоростных цепей



Полуавтоматическое создание меандра для выравнивания задержек

## ТРАССИРОВКА ВДОЛЬ КОНТУРА

Функция Contour Routing выравнивает трассы вдоль фигурной линии контура во время трассировки (например, в случае трассировки гибких и гибко-жестких плат).

## ГРУППОВАЯ ТРАССИРОВКА ЦЕПЕЙ

Обновленный функционал Group Route ускоряет прокладку группы трасс за одно движение, с улучшенными возможностями их выбора, он-лайн контролем зазора и вариантами расстановки переходных отверстий.

## ПЛАНИРОВАНИЕ ЦЕПЕЙ И ВЕТВЛЕНИЯ

Функция Net Scheduling позволяет вам задавать определенную последовательность трассировки узлов для цепей, имеющих несколько подсоединений. Точки T-points определяют концы или места ветвлений на протяжении цепи, позволяя каждому сегменту цепи задать именно те правила, которые требуются

## ТРАССИРОВКА ШТРИХАМИ

Режим трассировки Scribble позволяет вам более упрощенно рисовать путь, которому должна автоматически следовать трассируемая цепь. Он обеспечивает быструю «за два клика» методологию генерации сложных путей для трасс, с применением возможностей протаскивания и расталкивания, и основываясь на ориентировочном маршруте.

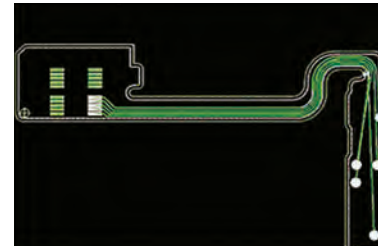
## МАССИВЫ ОТВЕРСТИЙ

Функционал Via Array позволяет вам быстро и легко создавать матрицу или оконтуривание из переходных отверстий, для прошивки полигонов или экранирования вдоль границ трассы. Параметры матрицы могут быть заданы в окне опций, и переходные отверстия добавляются с учетом правил и ограничений DRC.

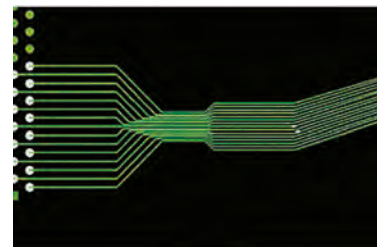
## МОДУЛИ И ДОПОЛНИТЕЛЬНЫЕ ОПЦИИ ORCAD

Решение OrCAD позволяет подключить дополнительные модули, позволяющие предприятию более эффективно решать те или иные задачи в процессе конструирования печатных узлов.

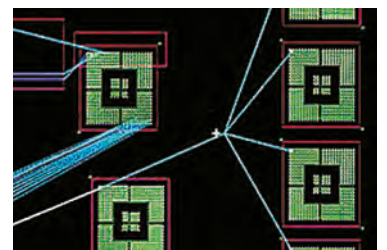
- OrCAD Lite – бесплатный САПР и вьювер схем и печатных плат
- OrCAD Capture – схемный редактор
- OrCAD PCB Designer Standard – редактор печатных плат
- OrCAD PCB Designer Professional – редактор для скоростных и сложных плат
- OrCAD PSpice – аналоговое и смешанное моделирование схем
- OrCAD PCB SI – анализ целостности сигналов
- OrCAD Library Builder – автоматизированное создание библиотек
- OrCAD EDM – система управления данными проекта (PDM-система)
- OrCAD Documentation Editor– оформление КД
- OrCAD Panel Editor – создание мультиплат
- OrCAD Component Information Portal – база данных ЭРИ
- OrCAD DFM Checker – технологические проверки
- OrCAD Sigridy ERC – электрические проверки
- OrCAD FPGA System Planner – оптимизация трассировки выводов ПЛИС



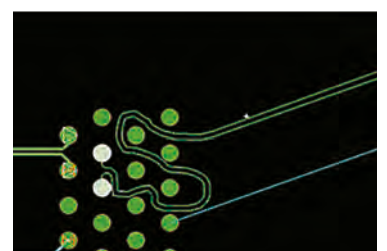
Полуавтоматическая прокладка группы трасс с дугами вдоль указанной линии



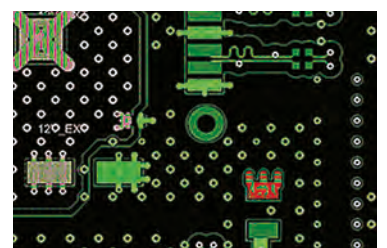
Полуавтоматическая прокладка групп цепей и создание группы отверстий



Создание точки разветвлений и указание правил равной длины ветвей



Полуавтоматическая трассировка по указанному направлению (штриху)



Полуавтоматическая расстановка массива отверстий в указанной области

# ПРОДУКТЫ ORCAD И ALLEGRO

Продукты	Описание	Схемный редактор OrCAD Capture	
OrCAD Lite	Бесплатная версия для просмотра проектов или знакомства с функционалом OrCAD /Allegro	Ограниченное	
Университетская лицензия	Групповые студенческие лицензии по сниженной цене	Да	
OrCAD Capture	Популярный в промышленности схемный редактор	Да	
OrCAD PSpice Designer	Схемный редактор OrCAD Capture и пакет аналого-цифрового моделирования PSpice A/D	Да	
OrCAD PSpice Designer Plus	Пакет для продвинутого аналого-цифрового моделирования и верификации	Да	
OrCAD PCB Designer Standard	Базовая версия редактора печатных плат OrCAD	Да	
OrCAD PCB Designer Professional	Редактор печатных плат с продвинутыми возможностями для сложных и скоростных печатных плат	Да	
OrCAD PCB Designer Professional w/ PSpice	Полный пакет САПР печатных плат с возможностью моделирования	Да	
OrCAD PCB SI	Решение для верификации целостности сигналов на печатной плате		
Allegro PCB Designer	Продвинутое решение для крупных предприятий со скоростными печатными платами	Да дополненный	

Опции Allegro PCB	
Allegro PCB High Speed Option	Проектирование высокоскоростных плат
Allegro PCB Miniaturization Option	Проектирование HDI-плат
Allegro PCB Analog/RF Option	Проектирование СВЧ-плат
Allegro Manufacturing Option	Пред-производственная обработка проекта
Allegro PCB Design Planning Option	Авто-интерактивная трассировка
Allegro PCB Team Design Option	Командная работа с трассировкой
Allegro Sigrity SI Base	Продвинутое моделирование целостности сигналов
Allegro Sigrity PI Base	Анализ целостности питаний AC и DC
Allegro FPGA System Planner (2 FPGA, 4 FPGA)	Оптимизация выводов ПЛИС для трассировки
Allegro ASIC Prototyping with FPGA's	Прототипирование СБИС с помощью ПЛИС
Allegro Design Workbench (Allegro EDM)	Распределенная работа с единой библиотекой
Allegro AMS Simulator	Продвинутое аналоговое моделирование в PSpice
Allegro PCB Routing Option	Продвинутая автотрассировка HDI-плат



	База компонентов OrCAD CIS	Аналоговое моделирование PSpice A/D	Продвинутое моделирование PSpice Advanced Analysis	Редактор печатных плат OrCAD PCB Editor	Автотрассировщик SPECCTRA for OrCAD	Целостность сигналов OrCAD Signal Integrity
	Ограниченное	Ограниченное	Ограниченное	Ограниченное	Ограниченное	Ограниченное
	Да	Да	Да	Да, продвинутый	Да	Да
	Опция					
	Опция	Да	Опция			
	Опция	Да	Да			
	Опция			Да, базовый		
	Опция			Да, продвинутый	Да	Да
	Опция	Да	Опция	Да, продвинутый	Да	Да
						Да
	Да	Опция	Опция	Да дополненный	Да продвинутый	Да дополненный

Дополнительные продукты OrCAD	
OrCAD Library Builder	Автоматизированное создание библиотек
OrCAD EDM	Система управления данными проекта
OrCAD Documentation Editor	Оформление КД
OrCAD Panel Editor	Создание мультиплат
OrCAD Component Information Portal	База данных ЭРИ и доступ к интернет-порталам компонентов
OrCAD DFM Checker	Технологические проверки
OrCAD Sigrity ERC	Электрические проверки
OrCAD PCB Productivity Toolbox	Утилиты для ускорения работы
OrCAD FPGA System Planner	Назначение выводов ПЛИС

# НАБОР ФУНКЦИЙ ORCAD И ALLEGRO

Функции	OrCAD Lite	OrCAD Standard	OrCAD Professional	Allegro
<b>Размещение и трассировка – PCB EDITOR</b>				
Неограниченная база данных	До 1000	да	да	да
Связь со схемным редактором	да	да	да	да
Редактор падастиков и футпринтов	да	да	да	да
Визуализация STEP моделей 3D	да	да	да	да
НАСТРАИВАЕМЫЙ АВТОМАТИЧЕСКИЙ ЧЕРТЕЖ СВЕРЛОВКИ	да	да	да	да
Отверстия в площадках, глухие и скрытые ПО	да	да	да	да
Авторазмещение, быстрая расстановка, план	ограничено	да	да	да
Динамические полигоны с онлайн-прорисовкой	да	да	да	да
Ассоциативные размерные линии	да	да	да	да
Генерация файлов Gerber 274x, 274D	да	да	да	да
Импорт и экспорт IPC-2581	да	да	да	да
Гипертекстовые отчеты HTML	да	да	да	да
DFM DRC (проверки на технологичность)	да	да	да	да
Интерактивная трассировка (расталкивание трасс)	ограничено	да	да	да
Автогенерация маркировки	ограничено	да	да	да
Разрезка полигонов	да	да	да	да
Поддержка макрокоманд, язык SKILL	да	да	да	да
Создание вариантов чертежа / BOM	да	да	да	да
Импорт САПР IFF, PADS®, P-CAD®, Altium®	да	да	да	да
Импорт-экспорт DXF, IDX, IDF, STEP	да	да	да	да
Привязка к объектам при трассировке	да	да	да	да
DRC зазор в той же цепи	да	да	да	да
Редактирование стековых микроотверстий	да	да	да	да
Поддержка перемычек	да	да	да	да
Трассировка штрихами	да	да	да	да
Капельки на концах трасс	да		да	да
Авторазмножение фрагментов	ограничено		да	да
Автовывравнивание компонентов	да		да	да
Объединение и разделение микроотверстий	да		да	да
Интерактивное выравнивание задержек	да		да	да
Автогенерация тестовых точек	да		да	да
Констрейны в регионах (BGA и т.д.)	ограничено		да	да
Цветовая онлайн-индикация выполнения правил	да		да	да
Авто-массивы отверстий	да		да	да

Функции	OrCAD Lite	OrCAD Standard	OrCAD Professional	Allegro
<b>Размещение и трассировка – PCB EDITOR (продолжение)</b>				
Трассировка вдоль контура	да		да	да
Настройка топологии цепи, точки ветвления	да		да	да
Автоинтерактивное распределение трасс				да
Автоинтерактивные штрихи – Add Connect – Scribble				да
Динамический контроль DFA при размещении				да
Повторное использование модулей на основе схемы				да
Массивы отверстий / Экранирование			да	да
Поддержка капелек Curved Fillet				да
Авто-интерактивная конвертация углов трасс				да
Планирование – Создание иерархических связей				да
Планирование – Создание и редактирование плана				да
Планирование – Назначение плана на слой				да

<b>Автотрассировка – SPECCTRA</b>				
6 сигнальных слоев	ограничено		да	да
256 сигнальных слоев			опция Autointeractive	Allegro PCB Routing Option
Автотрассировщик на основе форм или сетки	ограничено		да	да
Авто-фанаут SMD-выводов	ограничено		да	да
Ширина трассы по цепи или классу цепей	ограничено		да	да
Трассировка с углами 45 градусов, массивы ОЗУ	ограничено		да	да
Интерактивная трассировка с расталкиванием и подрезкой	ограничено		да	да
Интерактивное планирование	ограничено		да	да
Онлайн проверка правил проекта	ограничено		да	да
Автоповорачивание и сдвигание компонентов	ограничено		да	да
Анализ плотности размещения	ограничено		да	да
Автотрассировка на основе высокоскоростных правил				да
Учет правил Min/Max, согласованной длины цепей				да
Учет правил для пар выводов, правила для регионов				да
Учет правил перекрестных помех, параллельности				да
Автотрассировка дифференциальных пар, автоэкранирование				да

<b>Правила и ограничения – Constraint Manager</b>				
Физические правила	да	да	да	да
Правила по зазорам	да	да	да	да
Правила для той же цепи	да	да	да	да
Свойства и DRC	да	да	да	да
Дифференциальные пары и статический контроль фазы	да		да	да
Правила для регионов	да		да	да
Правила импеданса линии	да		да	да
Правила задержки распространения	да		да	да

Функции	OrCAD Lite	OrCAD Standard	OrCAD Professional	Allegro
<b>Правила и ограничения – Constraint Manager (продолжение)</b>				
Относительная задержка распространения	ограничено		да	да
Наборы электрических правил ECSET				да
Правила для наборов слоев				да
Правила для расширенных цепей (X)net				да
Правила для учета перекрестных помех				да
Правила задержки распространения (Min/Max, Relative)				да
Правила матч-групп (согласование длин цепей)				да
Правила для пар выводов				да
Правила для T-соединений (pin to T-point)				да

<b>Схемный ввод – Capture</b>				
Графический, плоский и иерархический дизайн	да	да	да	да
Разнородные шины и Группы цепей	да	да	да	да
Неограниченная глубина отмены операций	да	да	да	да
Динамическое обновление иерархических блоков	да	да	да	да
Повторное использование дизайнов	да	да	да	да
Ссылка на внешние дизайны и схемы	да	да	да	да
Кастомизация интерфейса, язык TCL	ограничено	да	да	да
Онлайн проверки ошибок в схеме	да	да	да	да
Пользовательские "свойства объектов"	да	да	да	да
Гетерогенные и гомогенные компоненты	да	да	да	да
Импорт таблицы соединений (бэк-аннотация)	да	да	да	да
Редактор компонентов и библиотек	да	да	да	да
Кросс-связь с редактором печатных плат	да	да	да	да
Поддержка импорта проектов ПЛИС		да	да	да
Двунаправленная связь с проектами ПЛИС		да	да	да
Создание умного PDF	да	да	да	да
Схемный редактор HDL (Windows и Linux)				да

<b>База компонентов – CIS (Component Information System)</b>				
Централизованная база компонентов	До 1000	опция CIS	опция CIS	да
Поддержка баз данных через ODBC	да	опция CIS	опция CIS	да
Реляционные связанные базы компонентов	да	опция CIS	опция CIS	да
Интеграция с MRP, ERP, и PLM системами	да	опция CIS	опция CIS	да
Графический предпросмотр символа компонента	да	опция CIS	опция CIS	да
Умные параметрические поисковые запросы	да	опция CIS	опция CIS	да
Валидация свойств компонентов	да	опция CIS	опция CIS	да
Создание временных новых компонентов	да	опция CIS	опция CIS	да
Многочисленные отчеты, шаблоны отчетов	да	опция CIS	опция CIS	да
Продвинутое оформление отчетов в Crystal Reports	да	опция CIS	опция CIS	да

Функции	OrCAD Lite	OrCAD Standard	OrCAD Professional	Allegro
<b>Варианты исполнения</b>				
Любое число вариантов исполнения	ограничено	опция CIS	опция CIS	да
«Замена компонента» или «Отсутствие компонента»	да	опция CIS	опция CIS	да
Отчеты для сравнения вариантов	да	опция CIS	опция CIS	да
Возможность печати вариантов	да	опция CIS	опция CIS	да

<b>Целостность сигналов – SI (SigXplorer)</b>				
Пред- и пост-топологический анализ			да	да
Графическая отрисовка и изучение топологии			да	да
Интерактивный просмотр диаграмм сигналов			да	да
Интеграция маршрута OrCAD Capture SI			да	да
Поддержка макро-моделей (DML)			да	да
Поддержка моделей IBIS 5.0 и ICM			да	да
Конвертация Spectre®-to-DML и HSpice-to-IBIS			да	да
Поддержка линий передач с потерями			да	да
Учет наводок на соседние цепи			да	да
Моделирование дифференциальных пар			да	да

<b>Новые функции OrCAD версии 17.2</b>				
Авто-утолщение трасс (HDI)			да	да
Обнаружение сегментов над прорезями			да	да
Трассировка наборами слоев			да	да
Трассировка и DRC для дифф.пар			да	да
Полная поддержка Xnet			да	да
Команда Gloss			да	да

<b>Новые функции Allegro версии 17.2</b>				
Контроль динамического набега фазы				да
Учет задержек внутри выводов микросхем				да
Учет задержек в переходных отверстиях				да
Обратная сверловка				да

Новые функции для трассировки высокоскоростных плат позволяют эффективно и качественно проектировать многослойные платы со скоростью передачи данных от 1 до 30 Гбит/с, и обеспечивают все необходимые возможности, правила и проверки для реализации самых сложных и скоростных интерфейсов.



# СИСТЕМА СХЕМНОГО МОДЕЛИРОВАНИЯ ORCAD PSpice DESIGNER

Технологии **OrCAD® PSpice®** и **OrCAD® PSpice® Plus (Advanced Analysis)** сочетают лидирующее решение для аналогового и смешанного моделирования с инструментами анализа, чтобы обеспечить полное решение для моделирования схем и верификации.

Независимо от того, прототипируете ли вы простые схемы, разрабатываете сложные системы, или верифицируете процент выхода годных и надежность изделия, технология **OrCAD PSpice** предоставляет наилучшее, высокоэффективное решение для моделирования, анализа и оптимизации ваших схем, компонентов и параметров перед запуском платы в трассировку, изготовление и монтаж.

## Мощное моделирование

Анализируйте, и оптимизируйте критические части и компоненты вашей схемы, используя мощные технологии OrCAD PSpice со встроенными вычислительными ядрами аналогового и смешанного моделирования, и анализа.

## Оптимизация схем

Максимизируйте эффективность схемы, выход годных, и надежность с помощью теплового и стрессового анализа, анализа «наихудший случай», анализа Монте-Карло, и оптимизации.

## Просмотр и анализ непараллельных диаграмм сигналов

Глубоко изучайте результаты моделирования с помощью мощного инструмента просмотра временных диаграмм сигналов, анализа, и поддержки формул для пост-обработки без необходимости повторно запускать моделирование.

## Улучшенные возможности

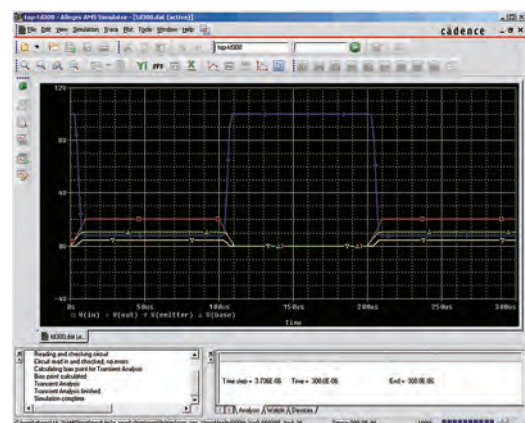
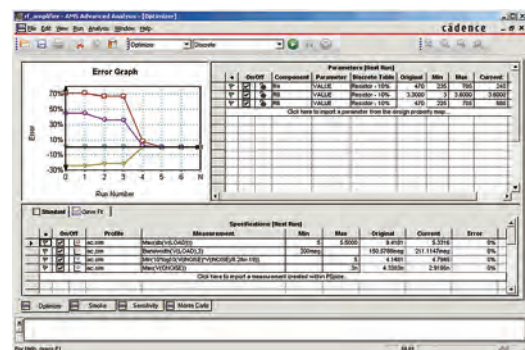
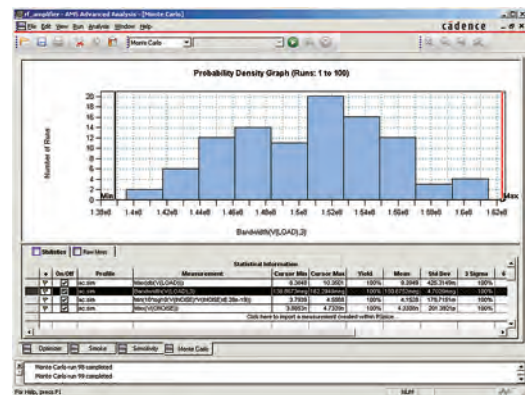
Продвиньтесь существенно дальше, чем позволяют обычные симуляторы, за счет моделирования под управлением событий, контрольных точек для рестарта, продвинутых алгоритмов сходимости, и «подстраивания» кривых.

## Обширная библиотека моделей

Более быстро начинайте выполнять моделирование с помощью библиотеки из 33,000 готовых аналоговых и аналого-цифровых моделей, математических функций, и поведенческого моделирования.

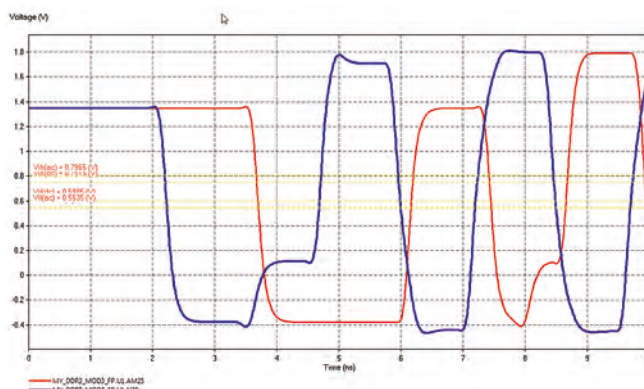
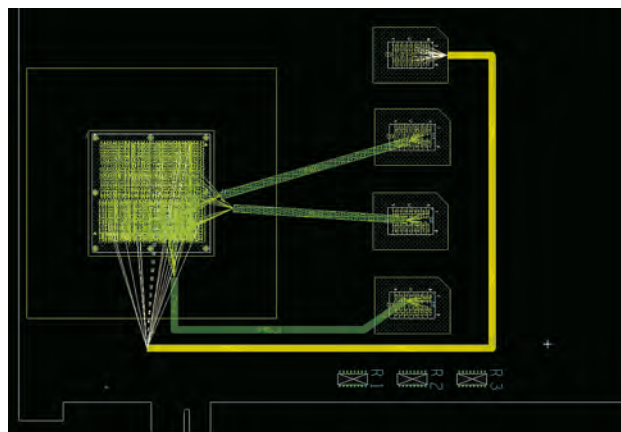
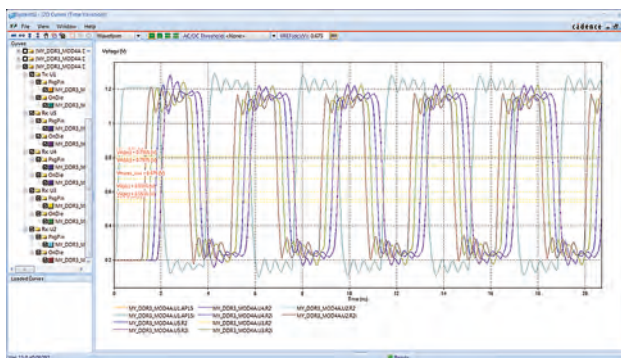
## Платформа с открытой архитектурой

Подстраивайте вашу среду работы в **PSpice** для того, чтобы улучшить и расширить ее за счет создания дополнительных функций, решений и маршрутов работы.



# АНАЛИЗ ЦЕЛОСТНОСТИ СИГНАЛОВ ORCAD PCB SI

**OrCAD® PCB SI** – это интегрированное решение для анализа возможных проблем, предлагающее мощные технологии моделирования, которые помогают обнаружить и оценить проблемы целостности сигналов (SI) в процессе разработки – от проектирования схемы в схемном редакторе до размещения и трассировки печатной платы. Оно позволяет выполнять пред- и пост-топологический анализ устройства, анализ сигналов, и верификацию. С помощью **OrCAD PCB SI** вы можете повысить надежность схемы и задать качественные требования к трассировке на всем маршруте проектирования печатных плат, чтобы уменьшить количество итераций.



## Исследование и проверка

Воспользуйтесь преимуществами пред- и пост-топологического анализа сигналов для изучения, управления и верификации связей на любой стадии цикла разработки.

## Оптимизация схем

Уменьшайте количество прототипов и итераций за счет изучения, анализа, и правильного дизайна связей для повышения надежности схемы, повышения ее эффективности и качества.

## Интегрированные маршруты проектирования

Устраните необходимость трансляции баз данных для моделирования, за счет прямой интеграции с **OrCAD PCB Editor** и **OrCAD Capture**.

## Качество топологии

Используйте результаты анализа как встроенные правила трассировки, чтобы управлять полученными требованиями к связям на всем маршруте проектирования.

## Поддержка различных моделей

Ускорьте время моделирования с помощью последних версий моделей в промышленном стандарте IBIS, обобщенных типовых моделей, и созданных вами моделей.

## Масштабируемость

Максимизируйте ваши инвестиции в решения по целостности сигналов **OrCAD**, если вы знаете, что ваши продукты могут в дальнейшем стать более сложными, с более серьезными требованиями к целостности сигналов.

# МАСТЕР СОЗДАНИЯ КОМПОНЕНТОВ ORCAD LIBRARY BUILDER

## ORCAD LIBRARY BUILDER

Инструмент **OrCAD® Library Builder** – это автоматизированное решение для создания компонентов. Продвинутый алгоритм извлечения данных из даташита в формате PDF автоматически создает схемный символ и посадочное место для печатной платы, заменяя традиционные ручные процессы, подверженные ошибкам, и создавая точные библиотеки компонентов за долю времени, которое тратилось на это ранее.

### Корректные по конструкции библиотеки

Обеспечьте корректное построение ваших библиотек с первого раза за счет автоматизации задач, обычно подверженных ошибкам, и использования полного набора утилит для проверки ошибок.

### Создание символов

Сократите время на создание символов и устраните ошибки за счет извлечения спецификаций из даташита, их форматирования и экспорта в **OrCAD Capture**.

### Посадочные места, совместимые с IPC-7351

Автоматически создавайте ваши футпринты в соответствии со стандартом IPC-7351 напрямую из даташита производителя, или задайте для них собственные требования.

### Проверка символов и футпринтов

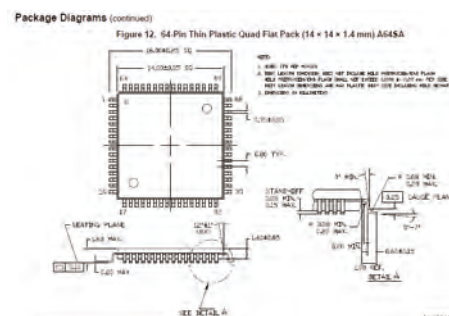
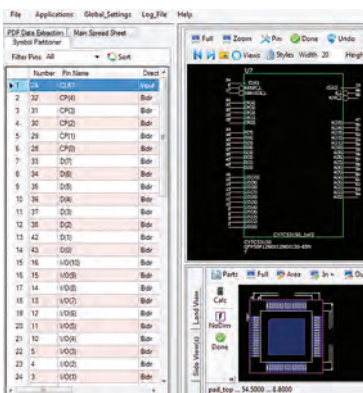
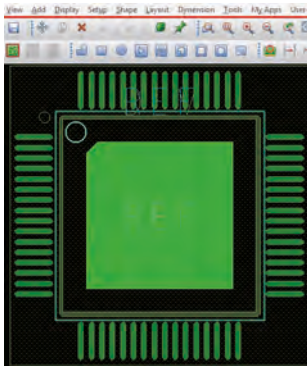
Проверьте и убедитесь, что ваш символ и посадочное место совпадают, с помощью возможности просмотра символа и футпринта в едином графическом интерфейсе, с возможностью кросс-пробы выводов

### Генерация моделей 3D

Генерируйте STEP-модели автоматически на основе данных посадочного места, упрощая создание аккуратных механических моделей для 3D-визуализации

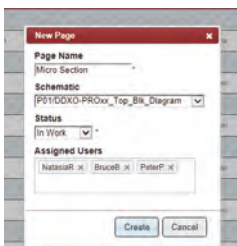
### Ускорение вашей разработки

Существенно ускорьте ваш процесс проектирования за счет использования единой унифицированной среды для извлечения данных из PDF, создания посадочных мест и проверки выходных файлов



# СИСТЕМА УПРАВЛЕНИЯ ДАННЫМИ ENGINEERING DATA MANAGEMENT (EDM)

Инструмент **OrCAD® Engineering Data Management (EDM)** обеспечивает исчерпывающую среду взаимодействия и управления для пользователей OrCAD Capture. Полностью интегрированное в состав OrCAD Capture, решение OrCAD EDM позволяет нескольким инженерам использовать преимущество ускоренного выхода на рынок за счет командного проектирования, устраняя сложности управления распределенными данными проекта



## Полностью интегрирован в OrCAD Capture

Начинайте работу легко и удобно с простым веб-интерфейсом, но прямо внутри оболочки OrCAD Capture

## Координация командной работы над проектом

Просматривайте, управляйте, и назначайте схемные страницы вашим инженерам из централизованного места, управляйте правами доступа к страницам

## Фиксация неподтвержденных данных проекта

Фиксация страниц, которые в данный момент редактируются пользователем, происходит автоматически, и другие пользователи могут получить доступ к этим страницам только на чтение

## Прслеживание и коммуникации в реальном времени

Помечается и хранится загрузка или сохранение каждой страницы проекта, что дает команде разработчиков полный контроль и понимание того, что было изменено на странице, кто это поменял, и почему

## Полная история версий

Хранится полная история версий каждого загруженного изменения на странице или на уровне проекта, что делает гораздо проще откат назад к предыдущим версиям, или сравнение изменений

## Повторное использование разработок

Воспользуйтесь существенным сокращением времени выхода на рынок за счет простого поиска и использования в текущем дизайне ваших прошлых разработок из протестированных и подтвержденных проектов

All Projects > Project F (Active)

Name	Get Copy	Local CO	State	Checked Out By	Assigned Users	Updated By	Status	Rev Status	Ext Rules	Extension	Autogenerate
- Project F	+ [edit] [lock] [unlock] [refresh]	<input type="checkbox"/>									
- Allegro	+ [edit] [lock] [unlock] [refresh]	<input type="checkbox"/>				Admin			Any Files		Netlist
+ Gerber	+ [edit] [lock] [unlock] [refresh]	<input type="checkbox"/>		Kia	Kia, Jim	Admin			Any Files		
+ BOM	+ [edit] [lock] [unlock] [refresh]	<input type="checkbox"/>				Admin			Exclude Files	.pdf	BOM
+ Design	+ [edit] [lock] [unlock] [refresh]	<input type="checkbox"/>				Admin			Any Files		DSN
+ Hier (Hierarchical)	+ [edit] [lock] [unlock] [refresh]	<input type="checkbox"/>				Admin	Unfrozen		Any Files		
+ Specs	+ [edit] [lock] [unlock] [refresh]	<input type="checkbox"/>				Admin			Specific Files	.doc, .docx, .xls, .xlsx	



# ОФОРМЛЕНИЕ КД по ГОСТ ORCAD DOCUMENTATION EDITOR

Инструмент **OrCAD® Documentation Editor** – это редактор конструкторской документации на печатную плату, который умно автоматизирует процесс создания вашей конструкторской документации, чтобы вы могли разрабатывать КД на платы за долю времени, затрачиваемого обычно.

Выполненный как типичное приложение Windows, OrCAD Documentation Editor позволяет вам быстро создавать производственные чертежи, которые передаются на производство печатных плат, сборочное производство, сдаются в архив и сопровождают изделие в эксплуатации. Все требования российского стандарта ЕСКД могут быть учтены при создании КД в OrCAD Documentation Editor, включая русификацию, шаблоны штампов и рамок, шрифты ГОСТ, специальные обозначения, выноски и т.д.

## Неограниченное количество «видов» печатной платы

Создавайте и размещайте на чертежах неограниченное число «видов» печатной платы. Каждый вид может иметь собственные настройки отображения и может быть отформатирован независимо от настроек исходных данных

## Создание чертежей

Чертите элементы просто перетаскиванием из палитры инструментов в меню, без ограничений на их количество

## Производственные и сборочные чертежи

Поддержка видов типа «панель для монтажа» и «конструктивное исполнение». Визарды-помощники автоматизируют создание чертежа структуры печатной платы, фаски на разъеме, и чертежа сечения скрайбирования

## Поддержка «Механических деталей»

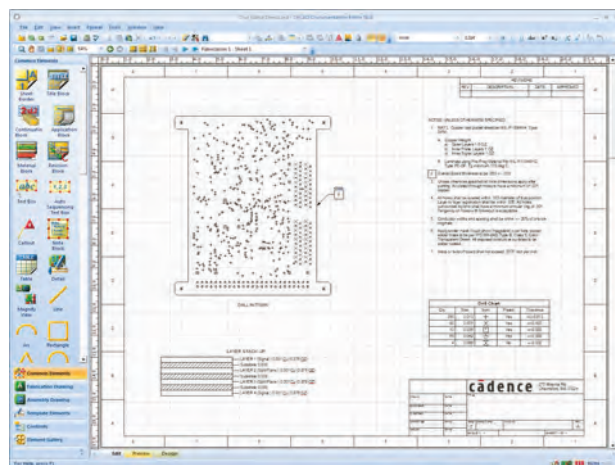
Определяйте любой элемент чертежа как механический компонент, несколькими доступными способами, и повторно используйте их при необходимости в ваших последующих проектах

## Отображение изменений в САПР

Отрабатывайте изменения (ECO) путем обновления исходных данных только в САПР, т.к. все элементы на чертежах остаются привязанными к исходным данным в проекте и обновляются автоматически

## Документация, управляемая изменениями проекта

Импортируйте данные САПР для управления процессом создания документации, при том что дополнительные внешние данные могут быть импортированы извне и добавлены к чертежам.





# ЕДИНАЯ БАЗА КОМПОНЕНТОВ COMPONENT INFORMATION PORTAL (CIP)

**OrCAD® Component Information Portal™ (CIP)** – это полномасштабная система управления базой данных электронных компонентов **OrCAD CIS** и он-лайн среда создания новых компонентов. Совместно с функционалом **OrCAD Capture CIS** (Component Information System), этот портал позволяет команде разработчиков быстро и эффективно воспользоваться всеми преимуществами распределенной базы данных компонентов и легко управлять этой базой.

## Управление Данными о Компонентах

Воспользуйтесь преимуществами интуитивного интерфейса для добавления компонентов и управления параметрической информацией о компонентах в базе данных CIS.

## Начальная Библиотека и Схема Заполнения Базы Компонентов

Быстро начните работу с Начальной библиотекой компонентов, включающей предустановленную схему заполнения атрибутов и начальный набор символов и посадочных мест, содержащий 5,000 компонентов.

## Управляйте Ролями Пользователей

Определяйте права доступа для пользователей так, чтобы была обеспечена целостность данных, и пользователи получали доступ только к необходимой им информации.

## Интеграция с Дистрибьюторами Компонентов

Воспользуйтесь прямым доступом к параметрическим данным миллионов компонентов от тысяч поставщиков напрямую из редактора **OrCAD Capture CIS**.

## Процедура Создания и Утверждения Компонента

Используйте создание «временного» компонента, позволяющее вам двигаться вперед в разработке нового проекта, в то время как новый созданный вами компонент будет утверждаться библиотекарем и включаться в основную базу данных.

PART_NUMBER	TSP-2
Description	CAP, Ceramic, SMD, 0.01 uf, 10% R
PCB Footprint	CAPC105B07N
Number of Pins	2
Operating Temperature Minimum	-55 C
Package Height	0.87 mm
Company Part Status	Not Yet Approved
Equivalent Series Resistance	
Tolerance	10%
Implementation	
Package Template	C:\BSPDES\11.12\C-SPRDES\0.01uf
CLASS	DISCRETE

Distributor	Distributor Part #	Manufacturer #	Manufacturer Part #	Description	Category	Quantity
Manufacturer	4891001	LATTICE SEMICONDUCTOR	LVQ102	LATTICE SEMICONDUCTOR - LVQ102-102HC-4840-132C - P.LB, 1280 LUTS, MACH102, 120C38GA		511
Manufacturer	407176	TELUM	106AL09-27020-146	TELUM - 106AL09-27020-146 - FPGA, SMART-6, 270KGE, 144 TQFP		189
Manufacturer	1191025	TELUM	144-144-108-6-G	TELUM - 144-144-108-6-G - PROGRAMMER, IN-CIRCUIT, PLATFORM CONFIGURABLE AND PROG		182
Manufacturer	1871019	ATEL	AT71704A-100	ATEL - AT71704A-100 - FPGA CONFIGURABLE MEMORY 48KBT 4 LUT		122
Manufacturer	1871042	ATEL	AT71705A-100	ATEL - AT71705A-100 - FPGA CONFIGURABLE MEMORY 28KBT 8 50C		114
Manufacturer	1871043	ATEL	AT71706A-100	ATEL - AT71706A-100 - FPGA CONFIGURABLE MEMORY 28KBT 8 50P		105
Manufacturer	1871044	ATEL	AT71710-100	ATEL - AT71710-100 - FPGA CONFIGURABLE MEMORY 102KBT, 20 PLCC		81
Manufacturer	4891018	LATTICE SEMICONDUCTOR	LVQ102	LATTICE SEMICONDUCTOR - LVQ102-102HC-4840-132C - P.LB, 1280 LUTS, MACH102, 120C38GA		75
Manufacturer	4891019	LATTICE SEMICONDUCTOR	LVQ102	LATTICE SEMICONDUCTOR - LVQ102-102HC-4840-132C - P.LB, 1280 LUTS, MACH102, 120C38GA		71
Manufacturer	523027	TELUM	1C33004H-4702144	TELUM - 1C33004H-4702144 - FPGA, SMART-6A, 230KGE, 144 TQFP		71
Manufacturer	1871020	SHUGERT	489-288	SHUGERT - 489-288 - PROGRAMMABLE CABLE, 288-144, 1020-144-108, 144 LUTS, FPGA		67
Manufacturer	4891009	LATTICE SEMICONDUCTOR	LVQ102	LATTICE SEMICONDUCTOR - LVQ102-102HC-4840-132C - P.LB, 1280 LUTS, MACH102, 120C38GA		60
Manufacturer	7874479	TERASIC TECHNOLOGIES	10082	TERASIC TECHNOLOGIES - 10082 - CYCLOCHEM, FPGA, 600-1440, DEV KIT		58
Manufacturer	4891010	LATTICE SEMICONDUCTOR	LVQ102	LATTICE SEMICONDUCTOR - LVQ102-102HC-4840-132C - P.LB, 1280 LUTS, MACH102, 120C38GA		51
Manufacturer	4891011	LATTICE SEMICONDUCTOR	LVQ102	LATTICE SEMICONDUCTOR - LVQ102-102HC-4840-132C - P.LB, 1280 LUTS, MACH102, 120C38GA		50
Manufacturer	4891012	LATTICE SEMICONDUCTOR	LVQ102	LATTICE SEMICONDUCTOR - LVQ102-102HC-4840-132C - P.LB, 1280 LUTS, MACH102, 120C38GA		47
Manufacturer	4891013	LATTICE SEMICONDUCTOR	LVQ102	LATTICE SEMICONDUCTOR - LVQ102-102HC-4840-132C - P.LB, 1280 LUTS, MACH102, 120C38GA		46
Manufacturer	4891014	LATTICE SEMICONDUCTOR	LVQ102	LATTICE SEMICONDUCTOR - LVQ102-102HC-4840-132C - P.LB, 1280 LUTS, MACH102, 120C38GA		46
Manufacturer	4891015	LATTICE SEMICONDUCTOR	LVQ102	LATTICE SEMICONDUCTOR - LVQ102-102HC-4840-132C - P.LB, 1280 LUTS, MACH102, 120C38GA		46
Manufacturer	4891016	LATTICE SEMICONDUCTOR	LVQ102	LATTICE SEMICONDUCTOR - LVQ102-102HC-4840-132C - P.LB, 1280 LUTS, MACH102, 120C38GA		46
Manufacturer	4891017	LATTICE SEMICONDUCTOR	LVQ102	LATTICE SEMICONDUCTOR - LVQ102-102HC-4840-132C - P.LB, 1280 LUTS, MACH102, 120C38GA		46
Manufacturer	4891018	LATTICE SEMICONDUCTOR	LVQ102	LATTICE SEMICONDUCTOR - LVQ102-102HC-4840-132C - P.LB, 1280 LUTS, MACH102, 120C38GA		46
Manufacturer	1871021	ATEL	AT71710-100	ATEL - AT71710-100 - FPGA CONFIGURABLE MEMORY 102KBT 8 50P		39
Manufacturer	4891016	LATTICE SEMICONDUCTOR	LVQ102	LATTICE SEMICONDUCTOR - LVQ102-102HC-4840-132C - P.LB, 1280 LUTS, MACH102, 120C38GA		38

## Полная Информация о Компонентах

Автоматически и безошибочно загружайте параметрические данные о компонентах, такие как: Наименование, Номинал, Цена, Количество на складе, Индекс RoHS и так далее.

# ТЕХНОЛОГИЧЕСКИЕ ПРОВЕРКИ ORCAD DFM CHECKER

**OrCAD® DFM Checker** обеспечивает комплексную, но простую в использовании технологию анализа печатных плат с точки зрения производства, определяющую специфические проблемы дизайна, которые могут иметь негативный эффект при производстве печатных плат. Проекты, которые успешно проходят верификацию по стандартным правилам DRC, могут тем не менее содержать критические проблемы, которые могут привести к низкому выходу годных при изготовлении или монтаже плат, или дорогостоящей отбраковке и срыву сроков поставки. Инструмент **DFM Checker** позволяет вам скорректировать потенциальные проблемы производства еще до того, как проект отправлен вашему изготовителю печатных плат, чтобы предотвратить задержки в изготовлении и, как следствие, в выпуске готового продукта на рынок.

## Всесторонний Анализ Технологичности

Мощный, но простой в использовании, производственный анализ простых и сложных проектов.

## Карта Ошибок

Анализ представлен в виде диаграммы, что позволяет вам быстро найти корень проблемы.

## Иерархический Набор Правил

Миллионы проверок DFM и сам процесс анализа могут легко контролироваться вами путем создания наборов правил, организованных по типам слоев и подкатегориям.

## Производственная Оптимизация

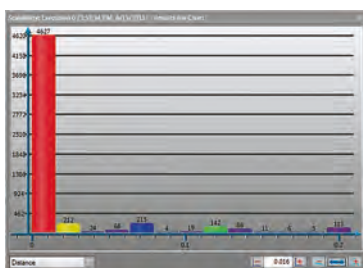
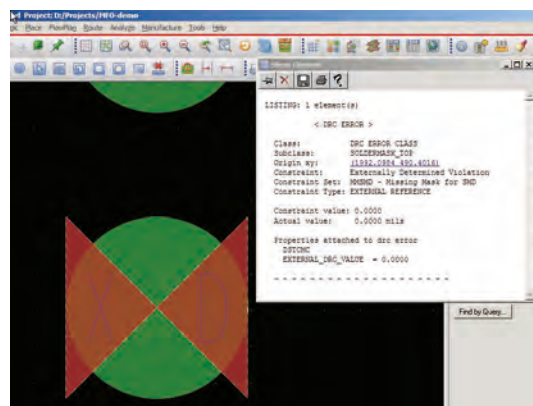
Идентифицируйте проблемы в вашем проекте, которые потенциально могут привести к низкому выходу годных при изготовлении или монтаже печатных плат, или к дорогостоящей отбраковке.

## Повторное Использование Проверок

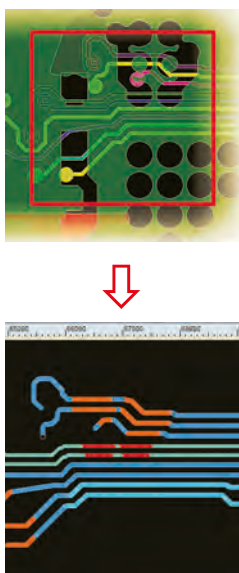
Определяйте, сохраняйте, и повторно загружайте тип и порядок проверок, которые надо производить.

## Интеграция в PCB Editor

Кросс-пробы и маркеры DRC обеспечивают визуализацию ошибок анализа DFM прямо в редакторе **OrCAD PCB Editor**.



# ЭЛЕКТРИЧЕСКИЕ ПРОВЕРКИ ORCAD Sigrity ERC



Инструмент **OrCAD® Sigrity™ Electrical Rules Check** (ERC – Проверка Электрических Правил) позволяет разработчикам проверить проект печатной платы с точки зрения качества сигналов, без необходимости назначать модели компонентов или быть экспертом в целостности сигналов. Заходя за рамки обычных проверок DRC, основанных на геометрии, весь проект печатной платы может быть проконтролирован на неоднородности импеданса, повышенный уровень перекрестных помех, и разрывы в пути возвратных токов. Использование **OrCAD Sigrity ERC** при проектировании печатной платы может уменьшить общее время проектирования за счет того, что не потребуется перегружать специалиста по целостности сигналов вопросами качества сигнала, которые могут быть обнаружены и исправлены прямо на этапе трассировки.

## Полная интеграция с редактором OrCAD PCB Editor

Обнаруживайте проблемы качества сигналов, делайте изменения прямо в редакторе **OrCAD PCB Editor** путем связи между ERC и топологией.

## Простая настройка

Легко настраивайте и запускайте анализ электрических правил ERC вашего проекта без необходимости поиска каких-либо моделей компонентов или необходимости быть экспертом в целостности сигналов.

## ERC для разработчиков печатных плат

Находите те проблемы с вашими сигналами, которые обычная проверка DRC, основанная только на геометрии проводников, пропустит, за счет проверки взаимных наводок проводников, контроля импеданса, и многого другого.

## Развернутые таблицы результатов проверки

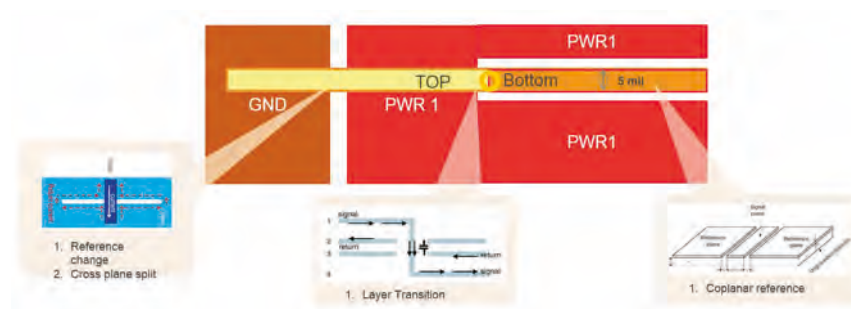
Легко находите места с проблемными сигналами через интерактивные таблицы с графически представленными результатами.

## Продвинутые проверки качества сигналов

Оценивайте влияние нарушений, найденных с помощью проверки электрических правил, и более глубоко изучайте эти проблемы с помощью продвинутых проверок, основанных на моделировании во временной области.

## Масштабируемость на будущее

Максимизируйте ваши инвестиции, если вы знаете, что ваши технологии и ваши потребности могут вырасти с дальнейшим эволюционированием отрасли и уровня сложности ваших проектов.



# НАБОР УТИЛИТ ORCAD PCB PRODUCTIVITY TOOLBOX

**OrCAD® PCB Productivity Toolbox** – это мощный набор утилит, бесшовно интегрируемых в редактор **OrCAD PCB Editor**, который улучшает производительность и эффективность работы инженеров-конструкторов печатных плат. Он предоставляет разработчикам коллекцию функций, сокращающих время выполнения операций, а также продвинутые функции, которые улучшают и оптимизируют существующий функционал редактора.

## Продвинутое отзеркаливание

Зеркальные операции, включая размещение и трассировку, при перемещении или копировании объектов выбором с помощью окна или кликом мыши.

## Копирование в другие классы

Перемещение или копирование объектов из одного класса в другой, с сохранением свойств.

## Выравнивание надписей

Автоматическое выравнивание надписей около компонентов для улучшения читаемости и экономии времени при создании чертежей для сборки.

## Утилиты для полярных координат

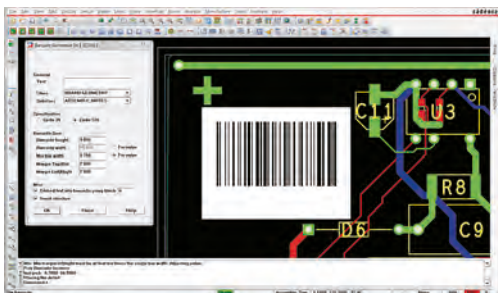
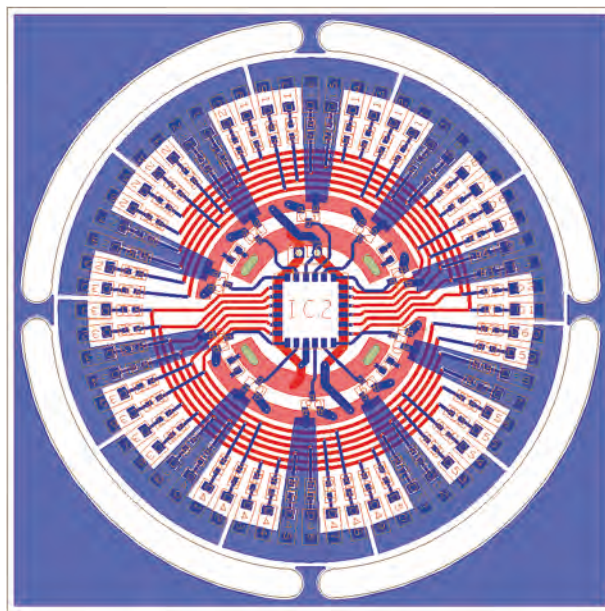
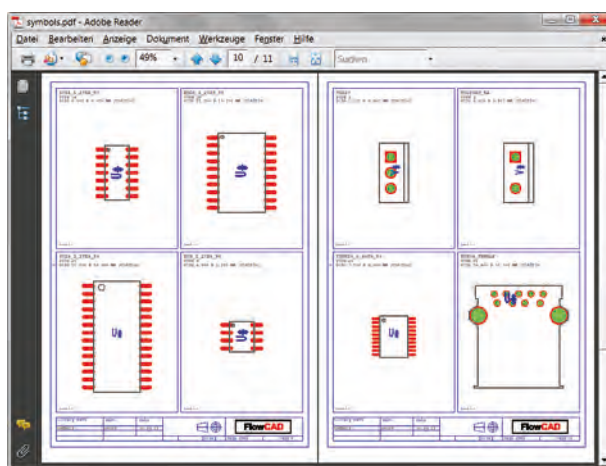
Быстрое и простое управление размещением компонентов, редактированием полигонов, и трассировки для круглых плат.

## Утилиты для полигонов

Мощный набор булевых логических функций (OR, AND, ANDNOT, XOR) для полигонов, а также масштабирование полигонов.

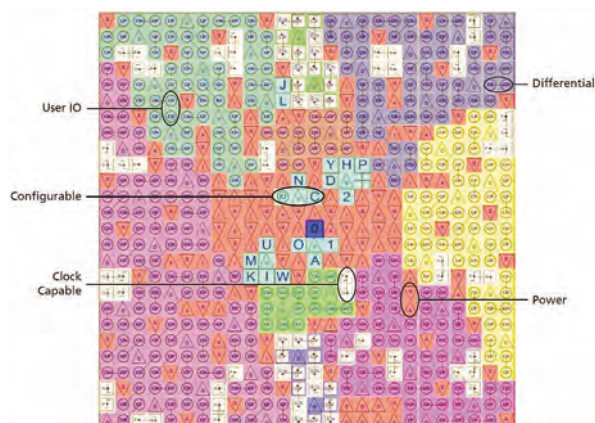
## Генератор штрих-кода

Печать штрих-кода на слое печатной платы, для выполнения его в процессе производства. Поддерживается формат Code 39 и Code 128, а также код QR.





# ОПТИМИЗАЦИЯ ТРАССИРОВКИ ПЛИС ORCAD FPGA SYSTEM PLANNER



**OrCAD FPGA System Planner** предлагает законченный масштабируемый маршрут совместного проектирования **FPGA-PCB**, который позволяет пользователям создавать оптимальные, корректные назначения выводов. Он помогает разработчикам применять сложные ПЛИС компаний Xilinx, Altera и других производителей, с использованием продвинутой технологии назначения выводов, которая автоматизирует ручные процессы.

Назначение выводов ПЛИС синтезируется автоматически на основе определенных пользователем групп связей, представленных как «интерфейсы», и с учетом определенных производителем правил назначения выводов ПЛИС, а также расположения ПЛИС и связанных с ней компонентов на печатной плате. Опция интегрирована со

схемным редактором **OrCAD Capture** и редактором печатных плат **OrCAD PCB Editor**. Она может считывать или создавать схемы и символы **OrCAD Capture**.

За счет автоматизации и оптимизации назначения выводов ПЛИС пользователи получают проекты более высокого качества и в более короткие сроки.

## Преимущества и выигрыш от использования:

- Сокращает время получения оптимального изначального назначения выводов ПЛИС, устраняет необходимость своппинга и возврата переназначений в схему
- Ускоряет интеграцию ПЛИС в среду проектирования **OrCAD PCB**
- Устраняет ненужные и раздражающие итерации проектирования во время разработки топологии печатной платы
- Устраняет ненужные итерации повторного изготовления прототипов, которые потребовались из-за ошибок назначения выводов ПЛИС
- Уменьшает количество слоев печатной платы за счет оптимального назначения выводов ПЛИС с учетом размещения микросхем на печатной плате

## Назначение связей

**OrCAD FPGA System Planner** позволяет пользователю назначить связи между компонентами внутри подсистемы ПЛИС на более высоком уровне через интерфейсы.

## Правила назначения выводов ПЛИС

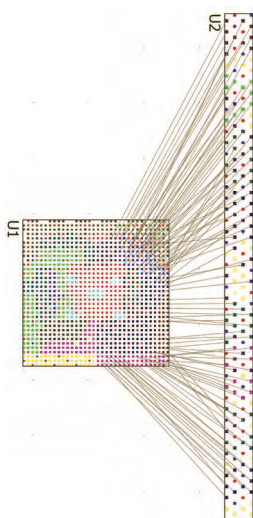
**OrCAD FPGA System Planner** содержит библиотеку точных и проверенных моделей ПЛИС, содержащих правила назначения выводов и электрические правила.

## Масштабируемость

Возможность масштабирования – это ключевой компонент инструментов **OrCAD** и **Allegro FPGA System Planner**; это позволяет разработчикам получить именно тот уровень возможностей, который им нужен в данный момент, и за разумные деньги.

## Интеграция с данными от поставщиков ПЛИС

Обеспечивается интеграция с системами проектирования ПЛИС, через генерацию и чтение файлов назначений выводов и определения правил от поставщиков ПЛИС.





# SIGRITY. ЭЛЕКТРОМАГНИТНОЕ И ТЕПЛОВОЕ МОДЕЛИРОВАНИЕ

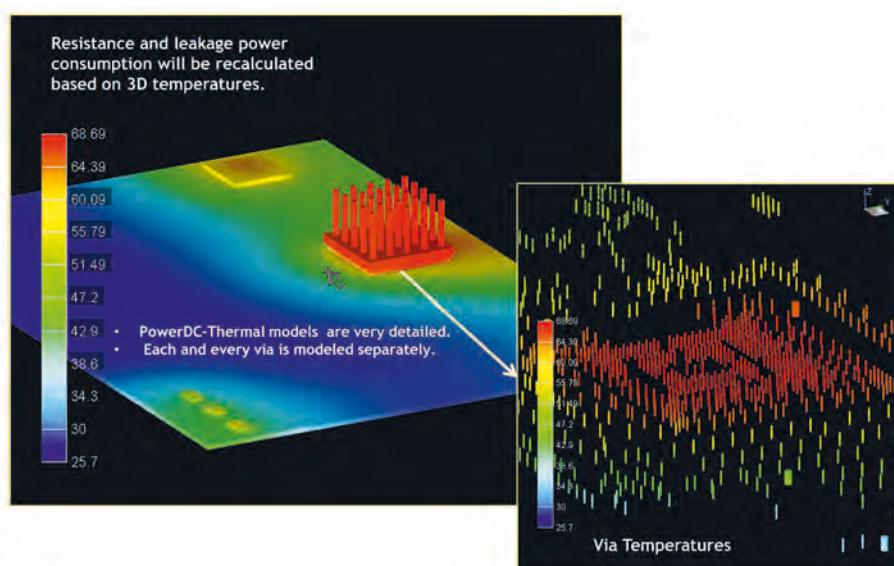
Фирма **Sigrity** была основана в 1994 году и за последние годы стала ведущим разработчиком ПО для симуляции печатных плат. В 2012 году компания Cadence приобрела фирму Sigrity, чтобы предоставить заказчикам на порядок более мощный инструмент для моделирования целостности питания, сигналов и тепловых распределений, чем ранее. Теперь средства моделирования Sigrity интегрированы с Cadence Allegro, но для пользователей других САПР доступны автономные сборки Sigrity.

С помощью программных средств **Cadence Sigrity** разработчик может проанализировать дизайн печатных плат и блоков еще до производства, обнаружить возможные проблемы и решить их, чтобы обеспечить работоспособность системы. При этом:

- В разы повышается качество и надежность разработки
- Снижается на 40-60% уровень электромагнитных излучений
- Улучшается электромагнитная совместимость
- Сокращается в 2-3 раза количество необходимых итераций изготовления образцов

## Возможные форматы входных данных:

- Cadence
- Mentor Graphics
- Altium
- PCAD
- ODB++



*Проводимость и теплопроводность пересчитываются в зависимости от нагрева*

*Детализация настолько мелкая, что учитывается каждый слой платы, каждое переходное отверстие, каждый проводник и шарик BGA*

## Виды симуляций в Sigrity

**Cadence Sigrity** – лучшее в своем классе решение для моделирования целостности сигналов с учетом питаний.

Инструменты симуляции целостности питания Sigrity содержат все необходимое для анализа как по постоянному, так и по переменному току, в том числе в 3D.

Программное обеспечение для теплового анализа учитывает все необходимые факторы для точного расчета по теплу.

Удобный интерфейс и мощный инструментарий позволяют инженеру-разработчику оперативно выбрать номиналы и расположение конденсаторов, оптимизировать конфигурацию полигонов земли/питания, разместить сильно потребляющие микросхемы, подобрать конфигурацию радиаторов

Sigrity позволяет до производства обеспечить и подтвердить работоспособность вашего прибора в заданных условиях.

### Температурная симуляция печатных плат и корпусов ИС

- 3D распределение температур
- температурные параметры JEDEC

### Симуляция системы питания в печатных платах и корпусах ИС

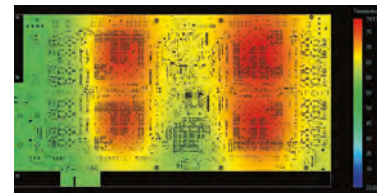
- расчет падений напряжения (IR drop)
- определение плотностей тока
- вычисление уровней шума
- подбор матрицы фильтрующих (блокировочных) емкостей

### Симуляция скоростных сигналов на платах и корпусах ИС, с учетом неидеальности питаний

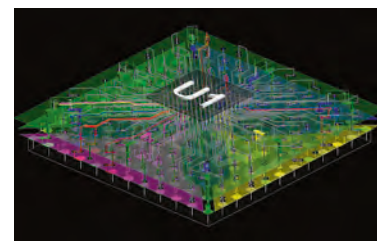
- определение затухания сигнала
- проверка целостности сигнала (DDR2, DDR3, PCIe3, HDMI)
- частотный анализ топологии ПП
- временной анализ топологии ПП

### Электромагнитная симуляция

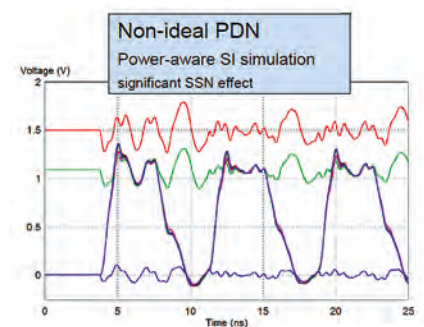
- определение параметров ЭМС
- расчет ЭМ излучений
- вычисление частотного спектра
- 3D электромагнитное моделирование



Температурная симуляция 16-слойной платы PCIe с 4 ПЛИС, потребляющими по 100 Вт, занимает в Sigrity около 30 мин.



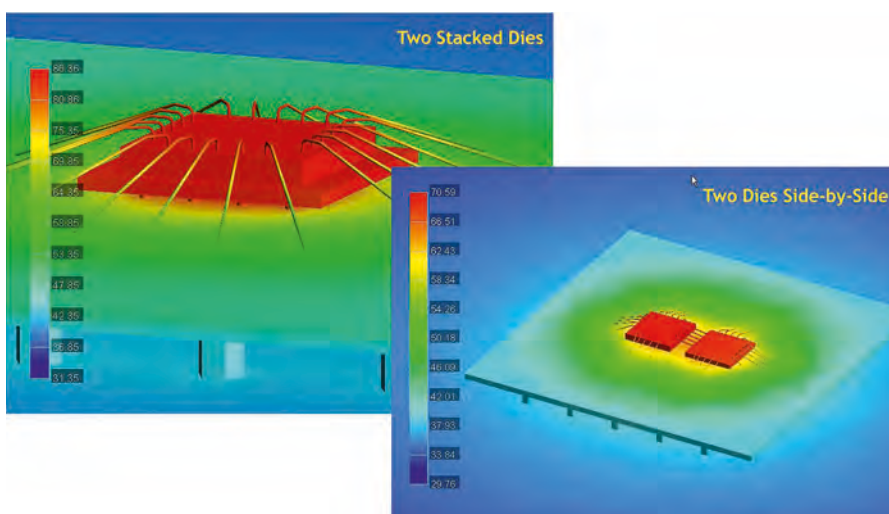
Извлечение 3D-топологии выделенных дифференциальных пар позволяет качественно промоделировать скоростные сигналы



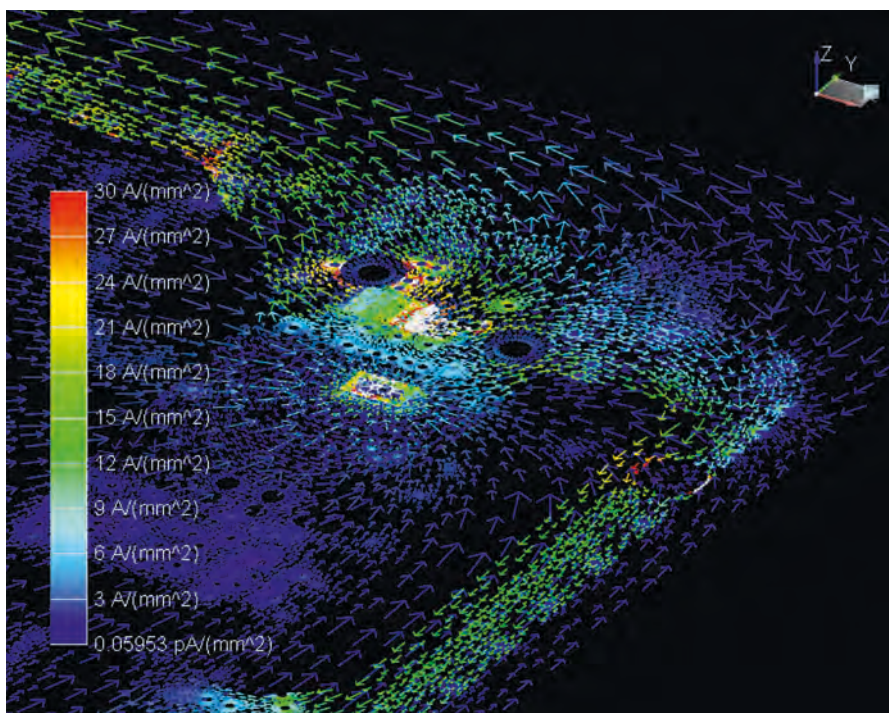
Система Sigrity моделирует сигналы на плате с учетом неидеальной системы питания

# ТЕМПЕРАТУРНО-ЭЛЕКТРИЧЕСКАЯ СИМУЛЯЦИЯ – *SIGRITY POWERDC*

**Sigrity PowerDC** – первое в мире решение, предлагающее совместную температурную и электрическую симуляцию. Система учитывает не только нагрев шин питания из-за протекающего по ним тока, но и изменение свойств материалов (снижение теплопроводности и проводимости) вследствие нагрева. Это позволяет вам получить достоверную картину тепловых распределений на печатном узле, ИС и радиаторах, с учетом параметров окружающей среды, скорости обдува и свойств радиатора. Для симуляции применяется метод конечных элементов (FEM).



*PowerDC позволяет учесть шарики BGA, разварку кристаллов проволокой и другие нюансы*



*Учитывается нагрев из-за протекающих 3D-токов (эффект Джоуля)*

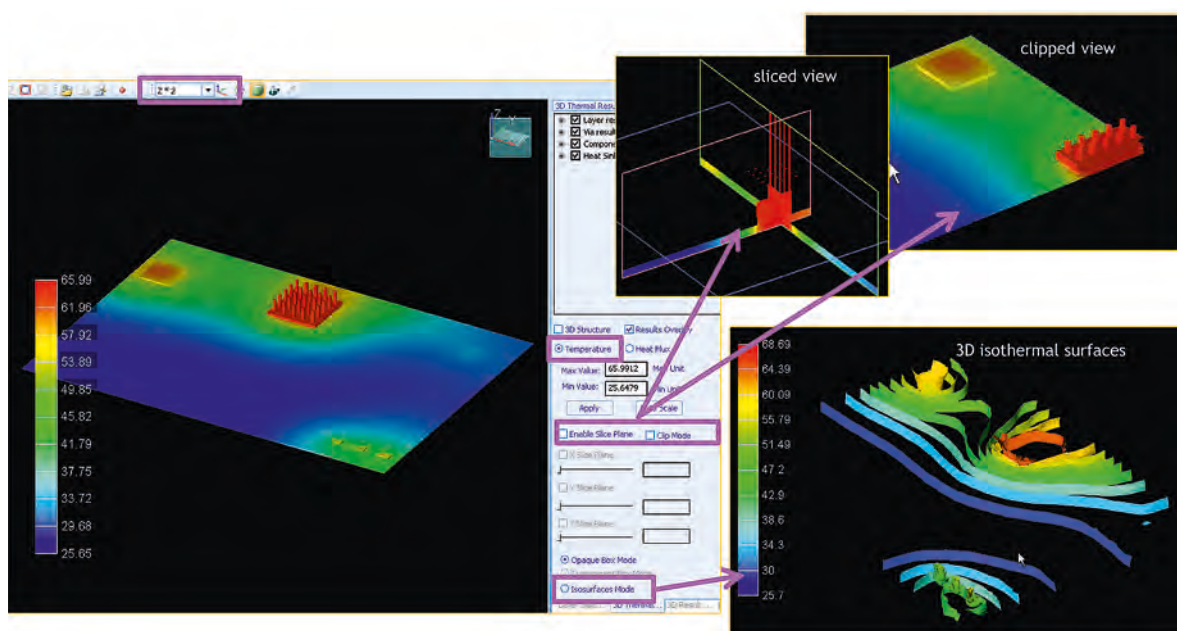
## ОБЪЕКТЫ МОДЕЛИРОВАНИЯ

- Проводники, выводы, шарики BGA, переходы
- Все медные и диэлектрические слои
- Температурные свойства и зависимости материалов
- Радиаторы, термальные слои, теплостоки

Размеры, тип и материал радиатора задаются при вводе параметров моделирования. Свойства и температура окружающей среды, а также скорость обдува задаются в параметрах.

Точность симуляции подтверждается практическими измерениями (см.таблицу)

RefDes	Симуляция	Измерение
COIL1	68.2	66.5
U10	96.3	94.2
U9	66.5	66.5
Q23	59.2	59.5
Q24	58.8	58.9
Q51	58.6	52.8
U15	72.6	71.9



Результаты симуляции могут быть представлены в разрезе, или в виде изотермических поверхностей

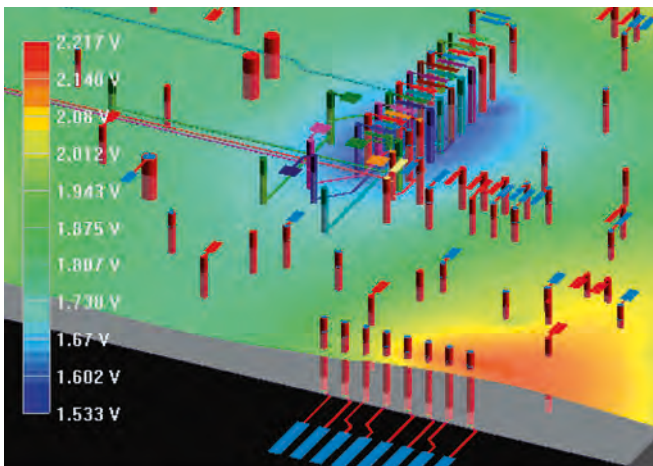


# ЦЕЛОСТНОСТЬ СИГНАЛОВ, ПИТАНИЙ И ЭМС – *SIGRITY POWERSI*

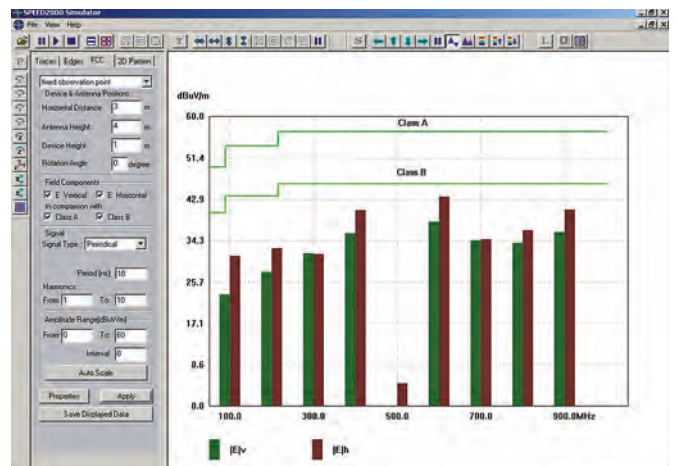
**PowerSI** – лидирующее на рынке решение для оптимизации системы питания и обеспечения ЭМС. Его преимуществами являются:

- Высокая точность моделирования многослойных структур
- Возможность работы с многовыводными моделями
- Уникальная возможность обеспечения точности от ВЧ и до постоянного тока (патентованная технология)
- Удобные маршруты моделирования и простота работы
- Интеграция с 3D-симулятором

Фактически вы получаете виртуальный анализатор цепей, позволяющий до запуска печатных плат в производство проанализировать их электромагнитные характеристики, проконтролировать качество разработанной топологии с точки зрения целостности питания и ЭМС.



*Можно определить и оптимизировать «горячие точки» с точки зрения ЭМС на печатной плате*

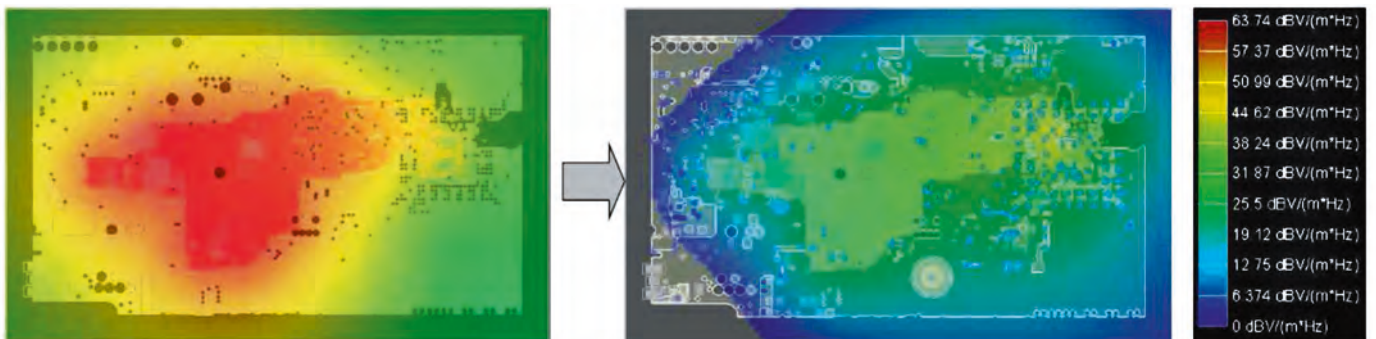


*Можно определить мощность горизонтальных и вертикальных составляющих ЭМ-поля и верифицировать соответствие требованиям ЭМС*

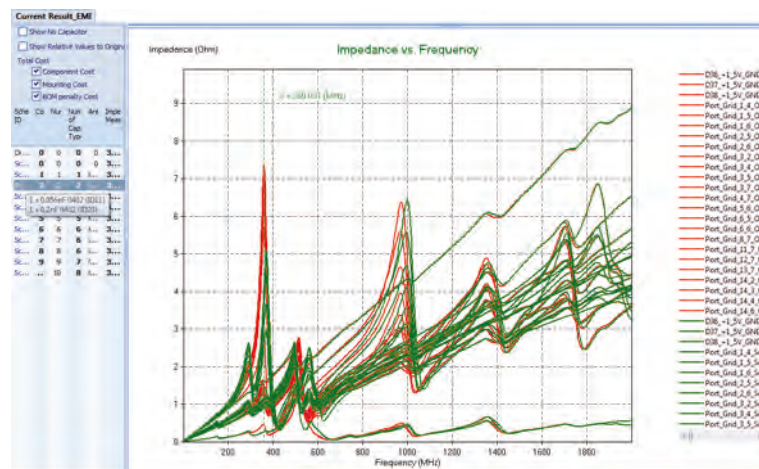
# ОПТИМИЗАЦИЯ МАТРИЦЫ КОНДЕНСАТОРОВ – SIGRITY OPTIMIZEPI

**OptimizePI** позволяет оптимизировать размещение фильтрующих конденсаторов по питанию на основании анализа импеданса и локальных резонансов системы питания.

- Можно обнаружить «горячие точки» в топологии полигонов земли и питания платы
- Можно устранить локальные резонансы за счет авто-подбора положения и номиналов фильтрующих конденсаторов
- Можно оптимизировать конфигурацию полигонов на основе результатов электромагнитного анализа топологии
- Можно уменьшить количество фильтрующих конденсаторов до минимально необходимого, без снижения качества системы питания, и за счет этого уменьшить стоимость, габариты и вес печатного узла
- Вы получаете возможность снизить ЭМ излучение от вашего печатного узла



ЭМ излучение от платы до оптимизации и после оптимизации



Резонансы системы питания платы до оптимизации и после оптимизации

# ПРЕД- И ПОСТ-ТОПОЛОГИЧЕСКИЙ АНАЛИЗ – *SIGRITY SYSTEMSI*

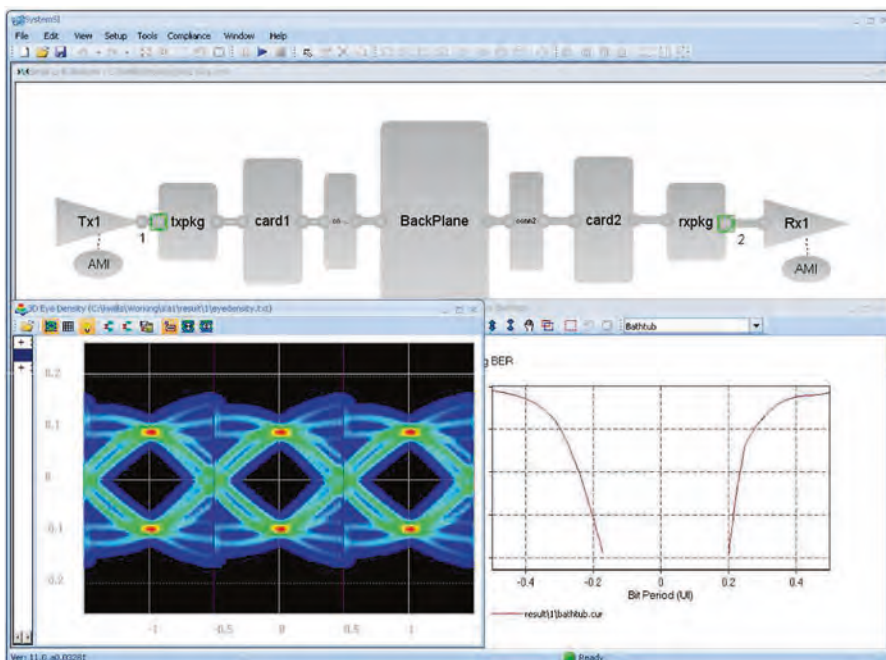
**SystemSI** позволяет провести моделирование целостности скоростных сигналов и шин с учетом неидеальности системы питания печатного узла или блока. При проектировании системы, разные узлы могут быть на разной стадии завершения. Если проект полностью завершен, можно экстрагировать из топологии проекта его полную модель. Если же какой-то узел еще не спроектирован, можно заменить его аналогичной по параметрам SPICE-моделью или моделью на основе S-параметров, предоставляемой в стандартной библиотеке Sigrity. Моделируется весь путь скоростного сигнала от кристалла до кристалла, с учетом топологии опорных слоев и всей системы питания.

## SystemSI SLA – анализ скоростных последовательных каналов

- Продвинутое моделирование каналов на основании моделей IBIS-AMI
- Автоматическая генерация «глазковой» диаграммы и U-образной кривой для определения частоты битовых ошибок (BER).

## SystemSI PBA – анализ параллельных шин

- Моделирование отражений
- Межсимвольные искажения
- Перекрестные помехи
- Шумы одновременного переключения
- Измерение времени установления и фиксации сигнала



Библиотека стандартных конфигураций с имеющимися типовыми моделями позволяет промоделировать практически любой скоростной канал передачи данных

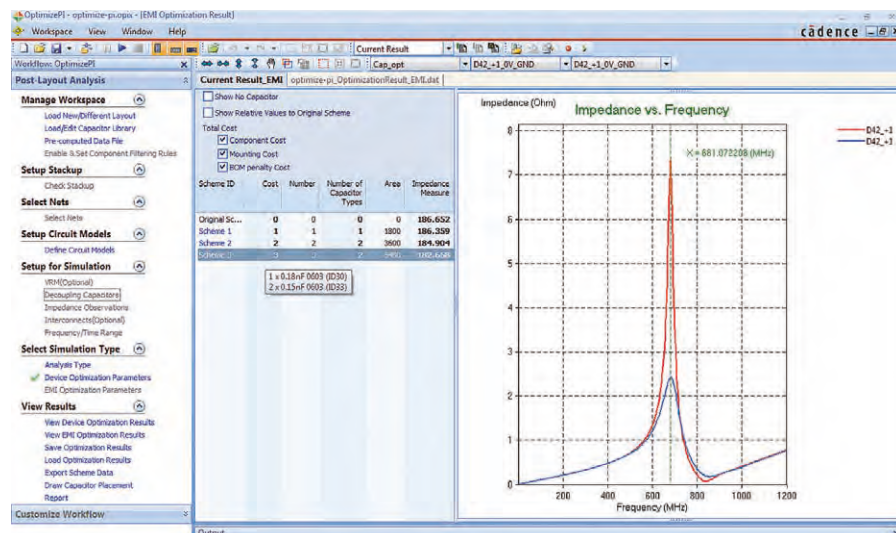
## Маршрут проектирования систем с подтверждением соответствия

- Разработчик выбирает те критерии, которые считает важными, и добивается соответствия узлов и системы этим критериям.
- **SystemSI** содержит библиотеки параметров, обеспечивающих соответствие типовым стандартам, таким как DDR2/3, PCIe и др.

Библиотека DDR Kit содержит все необходимое, чтобы начать моделирование вашей системы с DDR-памятью, включая типовые модели и типовые схемы подключения DDR

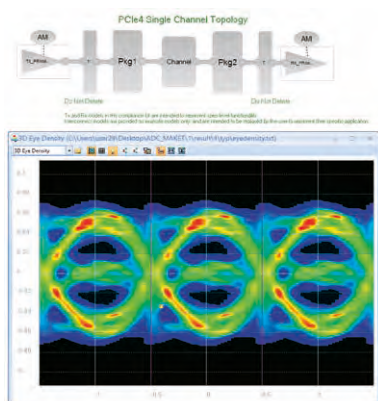


OptimizePI позволяет автоматически подобрать оптимальные номиналы и расположение блокировочных конденсаторов на плате

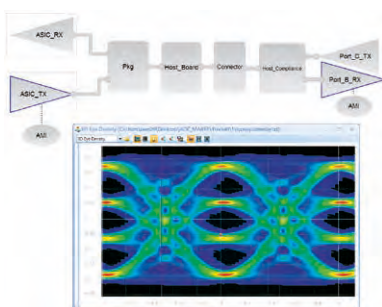




# Что нового в Sigrity-2017



Анализ сигналов PAM3/PAM4 с несколькими уровнями напряжения в Sigrity



Система Sigrity постоянно развивается, отслеживая последние технологические новшества и следуя потребностям пользователей. За последние годы к функционалу системы моделирования были добавлены функции:

1. Расчет базовых констант IPC для проекта по постоянному току, исходя из перегрева элементов рисунка относительно окружающей среды. Больше не нужно ждать, пока специалист по SI/PI проделает эту работу для вас.
2. **Power Tree** – возможность переносить данные о моделях конденсаторов и других данных со схемы. Теперь не нужно выполнять начальную настройку проекта.
3. Верификация на соответствие стандартам JEDEC для интерфейсов PCIe gen V4, DDR4, USB3.0, SFP+, Open POWER и др.
4. Возможность создавать собственные модели IBIS AMI, если вы проектировали свой корпус и кристалл в среде Cadence.
5. Новый маршрут для проверки вашей печатной платы на антистатичу.
6. Возможность переключения между различными маршрутами «на лету». Больше не нужно начинать проект с начала. Все необходимые данные будут перенесены из старого проекта.
7. Интеграция с САПР Cadence Allegro, позволяющая, например, немедленно выполнять повторное моделирование сразу после внесения изменений в проект Allegro.
8. Новый алгоритм разбиения полосковых линий на сегменты **Cut&Stitch**, позволяющий получать плюсы гибридных и 3D солверов одновременно.
9. Возможность симуляции источников сигнала, работающих по стандарту PAM3/PAM4.
10. Предтопологические проверки с применением стандартных структур в конструкторе линии передачи. Создайте предполагаемую топологию вашей линии и проверьте её работоспособность.

Утилиты системы Sigrity могут поставляться как по отдельности, так и в составе сборок, предназначенных для решения определенного круга задач клиента.

Далее приведены конфигурации сборок Sigrity, поставляемых как дополнительные опции к пакету Sigrity SI Base (PA5700). Пользователи Allegro SI Base могут бесплатно произвести апгрейд до Sigrity SI Base и с большой скидкой докупить сборки Sigrity.



# ВАРИАНТЫ ЛИЦЕНЗИЙ И СОСТАВ ПАКЕТОВ *SIGRITY*

Номер	Название	Описание
<b>SIGR915</b>	<b>Power Aware SI</b>	<b>Моделирование целостности сигналов с учетом неидеальности питаний</b>
SIGR011	Broadband SPICE	Создание аккуратной широкополосной SPICE-модели для аналогового моделирования
SIGR021	T2B	Конвертация транзисторных моделей в поведенческие модели, создание IBIS-модели 5.0
SIGR031	CAD Translators	Импорт проектов из различных САПР ПП
SIGR301	PowerSI	Анализ импедансов полигонов земли и питания
SIGR311	3D-EM	3D электромагнитная симуляция системы полигонов земли-питания и фильтрующих конденсаторов
SIGR401	SPEED 2000	Анализ проблем электромагнитной совместимости
SIGR556	SystemSI-PBA	Анализ шин типа DDR, симуляция отражений, потерь, межсимвольной интерференции, перекрестных помех и шумов одновременного переключения. Глазковые диаграммы. Использование моделей S-parameters, IBIS, SPICE

<b>SIGR935</b>	<b>Serial Link SI</b>	<b>Моделирование целостности сигналов скоростных последовательных интерфейсов</b>
SIGR011	Broadband SPICE	Создание аккуратной широкополосной SPICE-модели для аналогового моделирования
SIGR021	T2B	Конвертация транзисторных моделей в поведенческие модели, создание IBIS-модели 5.0
SIGR031	CAD Translators	Импорт проектов из различных САПР ПП
SIGR301	PowerSI	Анализ импедансов полигонов земли и питания
SIGR311	3D-EM	3D электромагнитная симуляция системы полигонов земли-питания и фильтрующих конденсаторов
SIGR506	SystemSI-SLA	Пред-топологическая и пост-топологическая симуляция последовательных скоростных интерфейсов. Анализ джиттера, шумов, BER, качества сигнала. Разработка моделей IBIS-AMI

<b>SIGR945</b>	<b>Package Extraction</b>	<b>Моделирование целостности сигналов и питаний для подложек СБИС</b>
SIGR031	CAD Translators	Импорт проектов из различных САПР ПП
SIGR201	PowerDC	Статический анализ системы питания по постоянному току
SIGR311	3D-EM	3D электромагнитная симуляция системы полигонов земли-питания и фильтрующих конденсаторов
SIGR801	XtractIM	Точная экстракция моделей подложек микросхем в IBIS или SPICE
SIGR570	System Explorer	Редактор для анализа целостности сигналов и питаний

<b>SIGR925</b>	<b>Power Integrity</b>	<b>Моделирование целостности питаний (опция к Sigrity PI Base PA5800)</b>
SIGR031	CAD Translators	Импорт проектов из различных САПР ПП
SIGR051	OptimizePI	Оптимизация системы фильтрующих конденсаторов на полигонах питания
SIGR201	PowerDC	Статический анализ системы питания по постоянному току. Анализ падения напряжений, карты токов, узких мест. Совместный тепловой и электрический анализ питаний.
SIGR301	PowerSI	Анализ импедансов полигонов земли и питания
SIGR311	3D-EM	3D электромагнитная симуляция системы полигонов земли-питания и фильтрующих конденсаторов
SIGR570	System Explorer	Редактор для анализа целостности сигналов и питаний

# СПЕЦПРЕДЛОЖЕНИЯ НА САПР CADENCE В 2017 ГОДУ

Компания **Cadence** совместно с официальным дистрибьютором в России, фирмой **PCB SOFT**, подготовила пакет антикризисных спецпредложений, позволяющих как крупным государственным, так и небольшим коммерческим компаниям приобрести лицензии САПР Cadence на льготных, очень выгодных условиях.

## ЛИНЕЙКА ПРОДУКТОВ ALLEGRO

Скидка в 2017 г. на всю линейку продуктов Allegro может достигать 50%. Вы сможете приобрести профессиональные продукты мирового уровня фактически за полцены.

Если в состав приобретаемой конфигурации входят продукты OrCAD и Allegro, скидка на продукты OrCAD может быть увеличена по сравнению с вариантом приобретения «только OrCAD».

## ДРУГИЕ ВОЗМОЖНЫЕ СКИДКИ НА НЕКОТОРЫЕ ПРОДУКТЫ ALLEGRO

Allegro PCB Analog/RF Option	55% ***
Allegro PCB Team Design Option	55% ***
Allegro PCB Routing Option	75% ***
Апгрейд Allegro PCB design L на Allegro PCB Designer	\$ 12.135
Апгрейд OrCAD PCB designer Professional на Allegro PCB Designer	\$ 12.171

\*\*\* Указаны скидки на стоимость лицензий без учета оплаты доступа к обновлениям.

## Скидка в 2017 г. на всю линейку продуктов Sigriety, на годовые лицензии, составляет для небольших коммерческих компаний **до 75%**

### Линейка продуктов моделирования SIGRITY

Скидка в 2017 г. на всю линейку продуктов Sigriety, на годовые лицензии, составляет для небольших коммерческих компаний **до 75%**. Вы можете приобрести профессиональные продукты мирового уровня фактически за четверть цены.

### Линейка продуктов OrCAD

OrCAD PCB Designer Standard	2580\$
OrCAD PCB Designer Professional	6800\$
OrCAD FPGA System Planner	1300\$
OrCAD Router Auto/Interactive Option (256 слоев)	1300\$
Sigrity Tools (годовые лицензии для небольших коммерческих компаний)	10000\$
Library Builder, CIP, EDM, DocEditor, Panel Editor, Productivity Toolbox	До 50% ***
Library Builder, CIP, EDM, DocEditor, Panel Editor, Productivity Toolbox (при покупке OrCAD Professional или OrCAD Professional with PSpice)	До 75% ***
Амнистия* на оплату просроченных обновлений OrCAD	До 3 лет

### Дополнительные предложения для пользователей других САПР

В случае, если ваше предприятие уже потратило часть денег на альтернативные САПР, однако теперь планирует переориентироваться на продукты Cadence, мы можем помочь вашему предприятию минимизировать излишние затраты. В этом случае для получения дополнительных скидок для вашего предприятия обращайтесь в компанию PCB SOFT.

\* Требуется подтверждения от компании Cadence.

# ВАРИАНТЫ ПОСТАВКИ

## КОМПАНИЯ PCB SOFT ПРЕДОСТАВЛЯЕТ КЛИЕНТАМ СЛЕДУЮЩИЕ УСЛУГИ И СЕРВИСЫ

### Демонстрационные лицензии и ознакомление с Cadence OrCAD, Allegro и Sigrity

- По заявке предприятиям предоставляются полнофункциональные демонстрационные лицензии
- Проводится ознакомительный семинар для специалистов, которые будут осваивать САПР, и обеспечивается он-лайн поддержка, чтобы повысить эффективность ознакомления с возможностями САПР
- Ежемесячно проводятся дни открытых дверей в учебном центре в Москве
- Предоставляется русскоязычная литература, пошагово описывающая процесс работы с пакетом проектирования плат и особенности интерфейса

### Покупка программного обеспечения Cadence и обучение

- Подбор оптимальной конфигурации и обеспечение выгодных цен
- Тренинг на примере дизайна клиента
- Обучение инженеров работе с САПР
- Предоставление методик и построение сквозного маршрута проектирования
- Техническое сопровождение на протяжении всего срока использования ПО

### Консультации, услуги проектирования и услуги моделирования плат

- Проектирование дизайнов клиента в САПР Cadence Allegro
- Симуляция дизайнов систем клиента в САПР Cadence Sigrity
- Конвертация старых проектов и библиотек из PCAD, Altium и других САПР
- Построение единой базы данных ЭРИ предприятия
- Помощь в интеграции с PDM/PLM системой предприятия

### Поддержка ГОСТ и поддержка русского языка

- При поставке САПР Cadence Allegro компания PCB SOFT предоставляет методики по формированию документации в соответствии с ГОСТ и ЕСКД
- Предоставляется набор форматов и штампов для редакторов схем и печатных плат
- Поставляется набор русскоязычных шрифтов ГОСТ для схемного редактора и для редактора печатных плат, и утилита ввода русского шрифта на печатную плату

### Минимальные и рекомендуемые требования к компьютеру

- Процессор не хуже Intel Pentium 4 или AMD Athlon XP2000+.
- ОЗУ 8 ГБ, свободное дисковое пространство 50 ГБ, дисплей не менее 1024x768.
- Операционная система: Windows 7/64, Windows 8/64, или Linux.
- Мышь оптическая с колесиком.

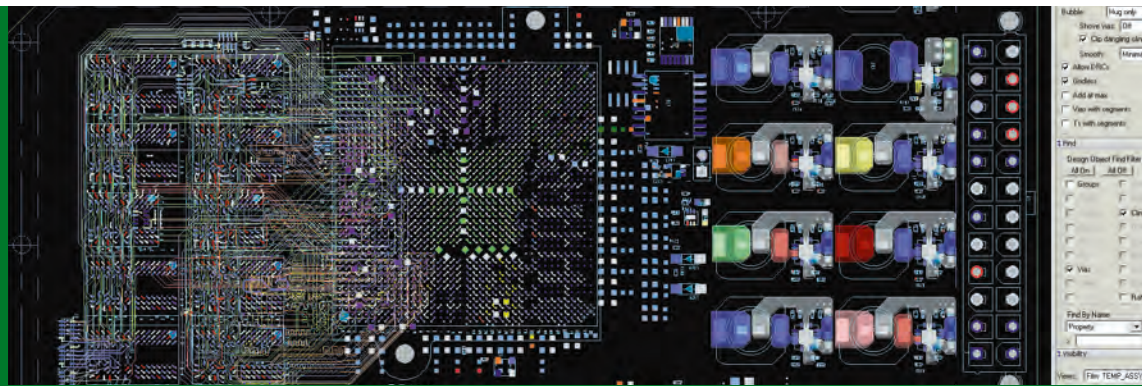
**КОНТАКТЫ:**

ООО «ПСБ СОФТ»  
г. Москва, ул. Б.Почтовая 26 В, офис 436

ВЕБ-САЙТ: [WWW.PCBSOFT.RU](http://WWW.PCBSOFT.RU)  
E-MAIL: [INFO@PCBSOFT.RU](mailto:INFO@PCBSOFT.RU)  
Тел.: +7 (800) 55-083-55



# Эффективный инструмент и уникальные возможности для разработки печатных плат.



## **Москва**

Бесплатный телефон (включая мобильные): +7 (800) 55-083-55  
Адрес: г. Москва, 105082, ул. Б.Почтовая, д.26В, строение 2, оф.436  
E-mail: [info@pcbsoft.ru](mailto:info@pcbsoft.ru)  
[www.pcbsoft.ru](http://www.pcbsoft.ru)

**Брошюра подготовлена при содействии  
и с использованием материалов фирмы Cadence Design Systems**

Адрес: Москва, 119017, ул. Б.Ордынка 44, строение 4.  
Тел.: +7 (495) 980-82-60  
Факс: +7 (495) 980-82-61  
[www.cadence.com](http://www.cadence.com)